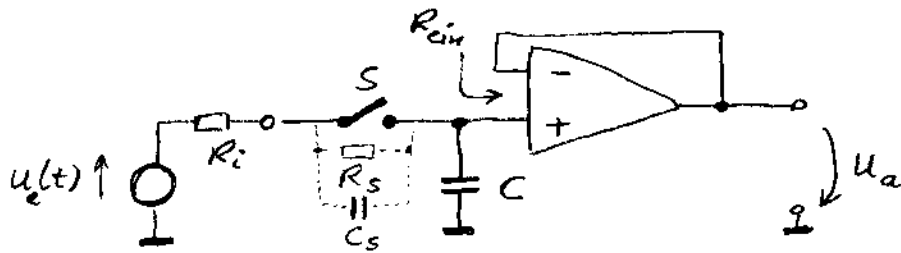


Sample & Hold

= Abtast-Halte-Schaltung, = Track and Hold

Übernimmt zu best. Zeitpunkt einen analogen Spannungspegel $u_e(t)$ und speichert diesen Wert analog.

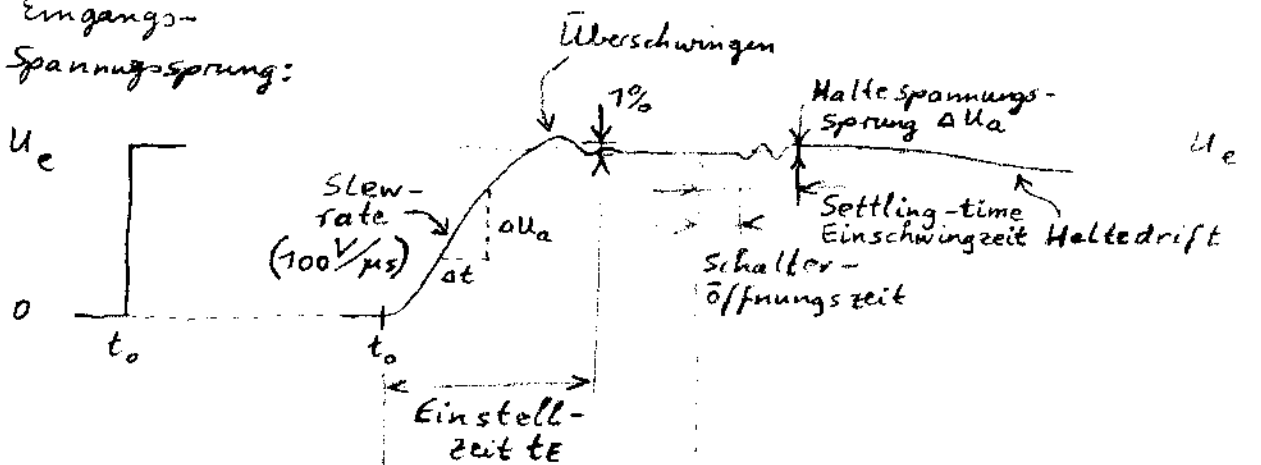


Kondensator C übernimmt bei geschlossenem Schalter S den Spannungspegel, der von der Quelle $u_e(t)$ geliefert wird. Wird S geöffnet, speichert C den zu diesem Zeitpunkt anliegenden Spannungspegel.

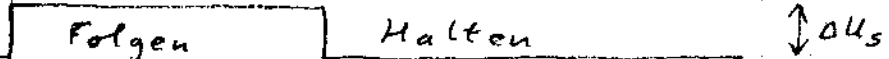
- Voraussetzungen:
- schnelles Auf-/Umladen des C 's
 $\rightarrow R_i \rightarrow 0$ (z.B. vorgeschalteter Impedanzwandler)
 $R_{son} \rightarrow 0$
 - lange Haltezeit des Spannungspegels auf C
 $\rightarrow R_{ein} \rightarrow \infty$ (z.B. nachgeschalteter FET-Eing., Elektrometernverstärker)
 $u. R_{soff} \rightarrow \infty$

Def. der Kenndaten:

Eingangs-Spannungssprung:



Schaltersteuerung:



Slew rate: Spannungs - Anstiegsgeschwindigkeit, entspr. Steigungsdreieck, wird durch max. Strom des vorgeschalteten Impedanzwandlers bestimmt.

Überschwingen: wird durch Dämpfung des Imped.-wandlers und R_{son} (Schalter-"Ein"-Widerstand) best.

Einstellzeit: Zeit nach Übergang in Folgebetrieb bis Erreichen einer vorgeg. Toleranz zu U_e

$$\underline{t_E} = \underbrace{(R_{son} + R_i)}_{\tau} \cdot C \begin{cases} \cdot 4,6 & \text{für } 7\% \text{ Überschwingen} \\ \cdot 6,9 & \text{für } 0,7\% \text{ Überschwingen} \end{cases}$$

Haltespannungssprung: Beim Ausschalten wird eine kleine Ladung aus dem Schaltersteuersignal ΔU_s über die Schalterkapazität C_s in den Speicher-C eingekoppelt.

$$\underline{\Delta U_a} \approx \frac{C_s}{C} \Delta U_s$$

Durchgriff: (Feed-through) ergibt sich durch kapazitiven Durchgriff von Eingangsspannungsänderungen auf C bei geöffnetem Schalter ($\hat{=}$ kapaz. Spannungsteiler)

Halte drift: Abfall der Spannung an C infolge Sperrstrom des Schalters und Eingangsstrom des nachgeschalteten FET - Verstärkers (Σ Entladeströme $= I_L$)

$$\frac{\Delta U_a}{\Delta t} = \frac{I_L}{C} \quad \text{für } I_L = \text{const.}$$

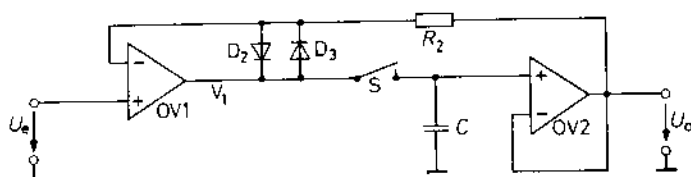
↙ Für Folgephase : günstig (sehr) kleines C
Für Haltephase : günstig großes C } Kompromiß erforderlich.

Bem: Nichtideale (technische) Kondensatoren:

verzögerte Änderung der im Dielektrikum gespeicherten Ladung ↙ Spannungsänderung nach der Schalteröffnungszeit (tritt bei sehr kurzen Einstellzeiten = Ladezeiten! auf)

Schaltungsbeispiele:

a.)



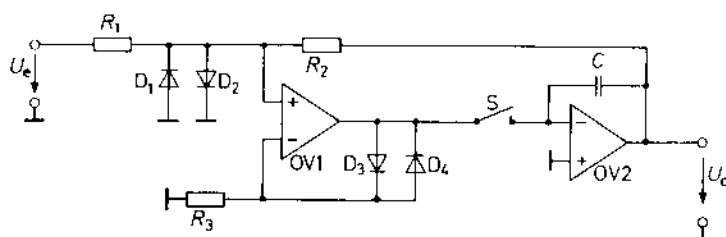
Abtast-Halte-Glied mit Über-alles-Gegenkopplung

OV2 - Impedanz-
wandler
(Spannungs-
folger)

OV1 ist mit U_e gegengekoppelt, wenn S geschlossen ist. (Folgen)
 Spannung U_e bleibt bestehen, wenn S geöffnet ist. (Halten)
 (R_2 , D_2 , D_3 dienen der Begrenzung der Eingangsspannung
 an OV1, sonst große Erholzeit erf., wenn OV übersteuert wird)

Ⓢ! Offsetfehler an S und OV2 werden hier eliminiert!

b.)



Abtast-Halte-Glied mit Integrator als Speicher

OV2 - Integrator

Wenn S geschlossen, wird wegen invertierendem OV2

$$U_a = -U_e \frac{R_2}{R_1} \quad (\text{Folgen})$$

Wenn S geöffnet ist, wird Strom durch C $\rightarrow I_C = 0$,

U_a bleibt konstant (Halten)

Gegenkopplung wird damit unwirksam, aber $D_1 \dots D_4$
 begrenzen die Ausgangsspannung von OV1, wodurch eine
 Übersteuerung ($\rightarrow$ große Erholzeiten) verhindert wird.

Anwendung: - Erste Baugruppe in AD-Wandlern

- auch zur kurzzeitigen analogen Zwischenspeicherung
 in der analog. Schaltungstechnik

DA - Wandler (DAC)

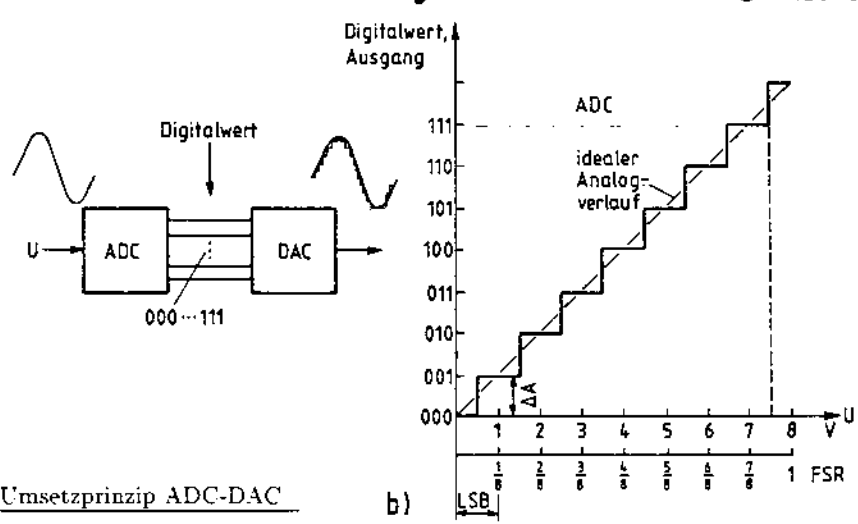
Wandelt einen Digitalwert (binär cod. Zahl) in eine quasi analoge elektrische Ausgangsgröße um.

Technische Realisierung bestimmt: Auflösung, Umschaltgeschwindigkeit, Fehler, techn. Aufwand

Anwendung in: - Nachrichten- / Kommunikationstechnik / Audio.
 ↳ Signalprozessoren
 - Mikrocontroller (elektron. Meß- / Steuerungstechnik)
 - Prozeßrechenstechnik

Die analoge Größe (Spannung oder Strom) wird in diskrete Werte unterteilt (Quantisierung). Diese werden digitalen Signalworten eindeutig zugeordnet (Codierung) - hierzu verschiedenste Codes nutzbar.

Prinzip:



hier 3 bit Wandler;
 ↳ $2^3 = 8$ diskrete Spannungsstufen
 ↳ Quantisierungsstufe

$$U_{LSB} = \frac{U_{max}}{2^3 - 1} = \frac{U_{max}}{7}$$

Umsetzprinzip ADC-DAC
 b) Wandlerkennlinie eines AD-Wandlers (für DAC: Kennlinie mit vertauschten Achsen)

↳ Quantisierungsfehler - unabhängig vom Wert der Ausgangsgröße, systembedingt jeweils $\frac{1}{2} U_{LSB}$.
 - nur durch Mittelung im zeitlichen Verlauf der Ausgangsgröße minimierbar (Filteranordg.)

(ZB:) Für Wandlung eines 0...10 V Spannungsbereichs mit 8bit-DAC

Quantisierungsstufe

$$U_{LSB} = \frac{U_{max}}{2^8 - 1} = \frac{U_{max}}{255} \approx 0,04 V$$

- für $U < \frac{1}{2} U_{LSB}$ (Least significant Bit)
 ↳ Digitalwert 0000 0000 als Eingangsgröße des DA-Wandlers
- für $\frac{1}{2} U_{LSB} < U < \frac{3}{2} U_{LSB}$
 ↳ Digitalwert 0000 0001 als Eingangsgröße - " -
- usw...

↓ Damit Diskretisierungsfehler = Quantisierungsfehler

$$\Delta U = \frac{1}{2} U_{\text{LSB}} \quad \text{im Vergleich zur idealen Wandlerkennl.}$$

Sog. Vollskalenbereich (Full Scale Range) ist: $1 \text{ LSB} \cdot 2^n = \text{FSR}$



$$U_{\text{max}} = \frac{2^n - 1}{2^n} \cdot \text{FSR}$$

(Bem.: f. AD-Wandler reziprokes Verhalten:
Tausch $U_{\text{max}} \leftrightarrow \text{FSR}$)

bis U_{max} } da das LSB des Digitalwerts am "Anfang u. am Ende"
"fehlt $\frac{1}{2} \text{ LSB}$ " } des analogen Wertebereichs jeweils $\frac{1}{2} U_{\text{LSB}}$ ab- bzw. aufrundet.

Auflösung = Diskretisierung, Angabe üblich in:

- n-bit, ↓ Digitalwertauflösung in $2^n \cdot \text{LSB}$
- $U_{\text{ref}} \cdot \frac{1}{2^n}$ ↓ Analogwertauflösung in $2^n \cdot U_{\text{LSB}}$
(verwendete Referenzspannung)

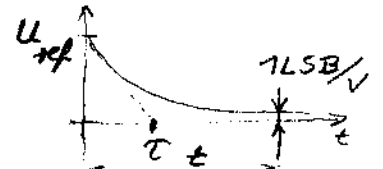
Umschlaggeschwindigkeit = Umschlagrate

ist abhängig von der Auflösung, jedes bit muß einzeln / nacheinander geschaltet werden

! Schalter mit parasitären Kapazitäten und Einschaltwiderständen (RC-Glieder) erzeugen Zeitkonstanten $\tau = R \cdot C$

↓ Einschwingdauer t , die zur Auflösung von 1 LSB/V erf. ist:

$$U_{\text{ref}} \cdot e^{-t/\tau} \cong 1 \text{ LSB/V}$$



Dh.: Mit Auflösung ↑ ↓ Umschlagrate ↓ bei gegeb. Technologie (s. Tabelle)

Drift infolge begrenzter Stabilität der Referenzspannungsquelle und insbes. thermischer Abhängigkeit v. Bauelementparam.

Nichtlinearitäten der Wandlerkennlinie

infolge begrenzter Genauigkeit von (Kettenleiter-)Widerständen ... → Differenzielle Nichtlinearität

Diskretisierungsrauschen

wegen des sprunghaften Übergangs (zwischen 2 LSB-Werten) der analogen Größe ist das

sog. "Rauschspannungsquadrat":

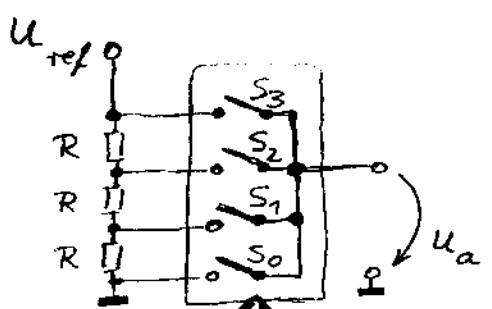
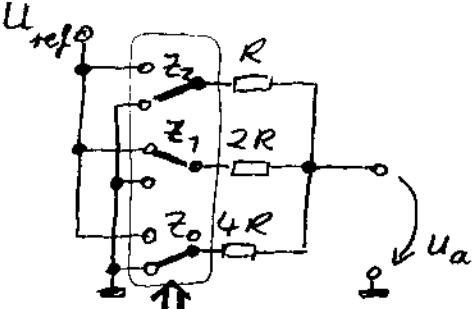
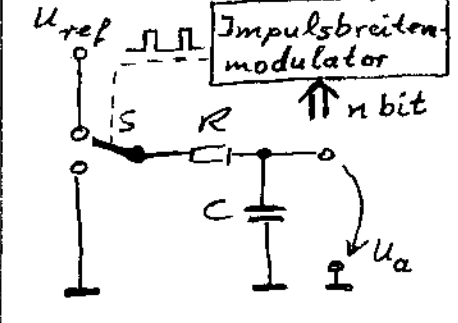
$$U_r^2 = \frac{\Delta U^2}{3}$$

eine wichtige Kenngröße für zeitlich veränderliche analoge Signale (z.B. NF-Signale)

Typische Werte eines ADC für Auflösungen von 4 bis 20 Bit

Stellen des Digitalwortes	Zahl der Stufen	Wert LSB bei $U_{\text{ref}} = 10\text{ V}$	% von FSR (10V)	Ein $\sim$ schwingdauer t ($\tau = RC$)
n	2^n	$\frac{U_{\text{ref}}}{2^n}$ (1LSB)		
4	16	0,625 V		
6	64	156 mV	1,56	4.16τ
8	256	39,1 mV	0,39	5.55τ
10	1024	9,76 mV	0,0980	6.93τ
12	4096	2,44 mV	15 ppm	8.32τ
16	65536	153 μV		11.1τ
20	1048576	9,54 μV	0,95 ppm	13.86τ

DAC - Prinzipien:

Parallelverfahren	Wägeverf. (Iterationsv.)	Zählverf. (Serien-Wandler)
 a.) n zu 2^n-Dekoder Spannungsteiler stellt alle mgl. Ausgangsspannungen bereit. Es wird gew. nur 1 Schalter geschlossen $\rightarrow S_{max} = 2^n$ Schalter erforderlich Bitparalleles Datenwort wird in 1 Schritt (Takt) gewandelt dh: kürzeste Umsetzzeit	 b.) n bit jedem bit ist ein Schalter zugeordnet. Summierung von U_a über gewichtete R. $\rightarrow S = n$ Schalter Ex. auch serielle Variante: Gewicht der Binärworte wird zeitabhängig geändert. Schrittweise Reduzierung der Änderung von U_a mit den seriell eingehenden bit's. (sog. Zeit-Gewicht Umsetzung)	 c.) Schalter wird periodisch mit bestimmtem Tastverhältnis umgeschaltet Arithmet. Mittelwert der Zähler-Impulsfolge entsteht als U_a. Jedem Impuls des Datenworts wird das Gewicht der Quantisierungseinheit zugeordnet $\rightarrow max. 2^n$ (Schalt-) Schritte erforderlich
<u>Problem:</u> S_{max} Schalter	technisch vielfältig genutzt!	<u>Problem:</u> langsames Einschwingen des RC-Glieds
<u>Vorteil:</u> sehr schnell	günstiger Kompromiß	<u>Vorteil:</u> geringer techn. Aufwand für den Impulsbreitenmodulator

Bem: Erzeugung der Referenzspannungen mgl. aus:

Spannungsteiler
gewichtetes Widerstandsnetzwerk
Kettenleiter,
Stromquellen,
Ladungsteilung (geschaltete Kapazitäten)

Schalter:

Transmissionsgates in CMOS-Schaltungen bzw. über Dioden oder Differenzverstärker geschaltete Konstantströme in Bipolarschaltungen

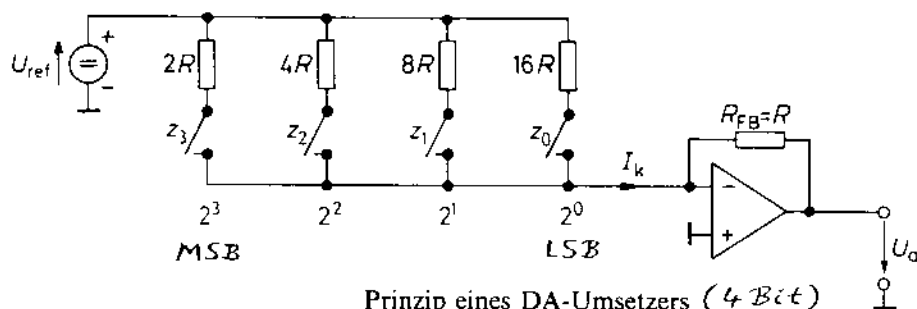
Grenzfrequenz:

Wenn der Impulsbreitenmodulator mit einer Frequenz betrieben wird, die weit oberhalb der erforderl. Abtastfrequenz des binären Signals liegt

$\rightarrow$ günstige techn. Lösung

Wägeverfahren - DAC

einfache Realisierung durch Summation gewichteter Ströme:



3e bit wird 1 Schalter eingesetzt; Schalter geschlossen bei log. "1" = z_n

Infolge Gegenkopplung des OV mit R_{FB} bleibt der Stromsummiations-Punkt (Knotenpkt. vor invertierendem Eingang) auf "virtuellem" Massepotential!

↓ Teilströme werden ohne gegenseitige Beeinflussung aufsummiert; die Summe der Teilströme fließt durch R_{FB} , damit wird

$$U_a = - I_k \cdot R_{FB} \quad (\hat{=} \text{Strom/Spannungs-Wandler, invert.})$$

und beim Schalten der bit-Stellen schalter $z_0 \dots z_3$

↓ Umsetzer-Gleichung:

$$U_a = - \frac{1}{2} U_{ref} \cdot z_3 - \frac{1}{4} U_{ref} \cdot z_2 - \frac{1}{8} U_{ref} \cdot z_1 - \frac{1}{16} U_{ref} \cdot z_0$$

dh. wegen $I_k = \frac{U_{ref} \cdot z}{R \cdot 16}$ und R (gewichtete Widerst.) = R_{FB} (OV-Gegent.)

wird damit U_a aus U_{ref} und den bitweise zugeschalteten Widerständen $\downarrow I_k$ best.

Bei eingegebener Binärzahl z wird
$$U_a = - U_{ref} \frac{z}{z_{max} + 1}$$
 weil $U_a = - \frac{1}{16} U_{ref} (8z_3 + 4z_2 + 2z_1 + z_0)$ (hier $z_{max} = 15$)

Probleme:

(A) Linearität erford. genaue Widerstandsstufung bei großem Wid.-Bereich:

Wid.-Toleranz darf nicht das Gewicht des LSB

überschreiten!

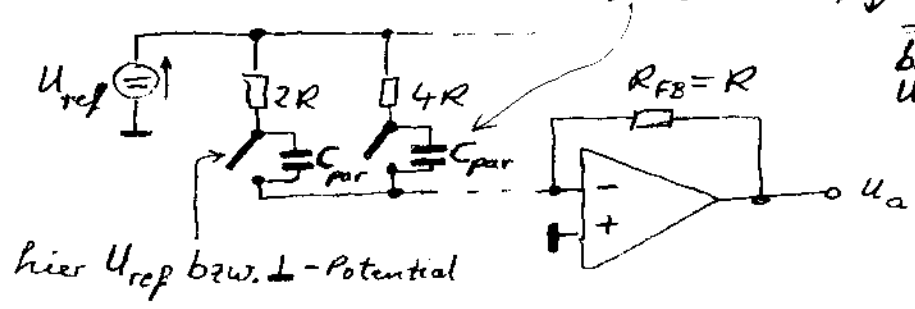
↓ Toleranzbedingung für die i -te Stufe eines n -bit-Wandlers

$$\frac{\Delta R}{R} \leq \frac{1}{2^{n-i}}$$

(2B:) 8Bit-DAC: für $R_{min} (i=7) \downarrow \text{Toleranz} \leq \frac{1}{2^7} \approx 8 \cdot 10^{-3} (!)$
für $R_{max} (i=7) \downarrow \text{Toleranz} \leq \frac{1}{2} = 50\%$

↘ Große Wid.-Bereiche mit extremen Toleranzforderungen für hochauflösende DAC nicht beherrschbar (technolog. Problem)!

② Schalter: erfordert Umschalten zwischen U_{ref} (Schalter offen) und Nullpotential bedeutet zwangsläufig Umladen der parasitären Schalterkapazitäten $\rightarrow \tau = R_{on} \cdot C_{par}$
bestimmt Umschaltzeit

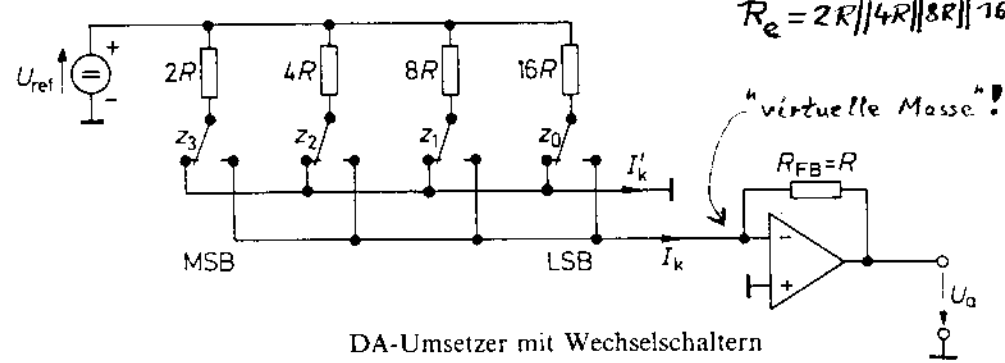


③ Infolge $I_k \neq const$ weiterhin: wechselnde Belastung der Referenzspannungsquelle $\rightarrow$ Forderung Quellen-Innenwiderstand $R_i \rightarrow 0$!

Lösung dieser Probleme durch Einsatz von Wechselschaltern:

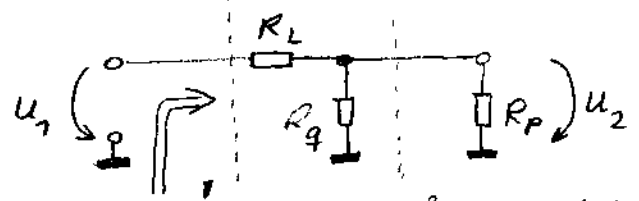
- Immer Massepotential an den Schaltern
- Konstante Belastung von U_{ref} , da $R_e = const.$!

$$R_e = 2R \parallel 4R \parallel 8R \parallel 16R = \frac{16}{15} R$$



DA-Umsetzer mit Wechselschaltern

und durch Einsatz eines Kettenleiters statt der gestuften Widerst.:
Hierbei Realisierung der Stufengewichtung durch fortgesetzte Spannungsteilung (belasteter Spannungsteiler R_L, R_q):



Eing.wid. $R_{eing} \stackrel{!}{=} R_P \hat{=} ngl. \text{ folgenden Stufen}$
(wenn R_P angeschaltet ist)

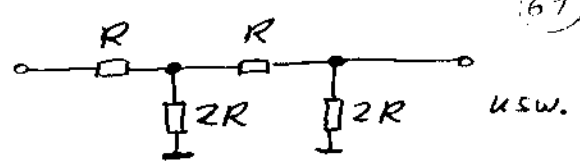
Kettenabschwächung der Spannung
 $\frac{U_2}{U_1} = \alpha$ um vorgegebenen Wert

(für Dualkodierung $\alpha = 0,5$)

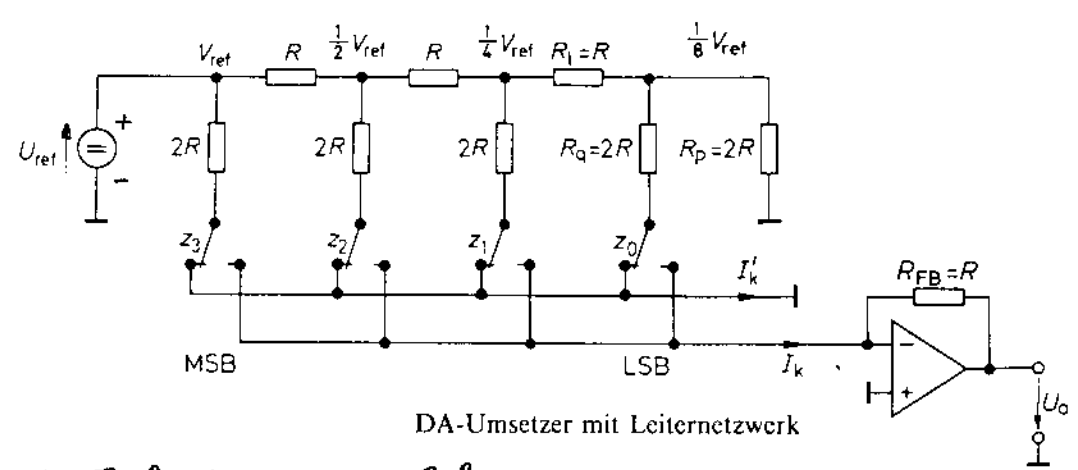
Damit wird: $R_L = \frac{(1-\alpha)^2}{\alpha} R_q$ und $R_P = \frac{(1-\alpha)}{\alpha} R_q$

als Dimensionierungsvorschrift.

Für $\alpha = 0,5$
 $R_q = 2R$ } $\leadsto$ $\begin{cases} R_L = R \\ R_p = 2R \end{cases}$



Damit DAC mit (Zetten)-Leiternetzwerk: "R-2R-Kettenleiter"
(!) gebräuchlichste Schaltung in CMOS-Technologie



- Konstante Belastung der Referenzspannungsquelle
mit $R_{\text{eing}} = 2R \parallel 2R = R$ durch Stromschalterbetrieb (Schalterpot. auf $\perp$)

Analoge Ausgangsspannung: der invertierende Strom / Spannungswandler liefert
$$U_a = -R_{FB} I_k$$
$$= -U_{\text{ref}} \frac{R_{FB}}{16R} (8z_3 + 4z_2 + 2z_1 + z_0) = -U_{\text{ref}} \frac{Z}{Z_{\text{max}} + 1}$$

(hier $Z_{\text{max}} = 15$)

zur Technologie:

- 1 Schalter und 2 Widerstände pro Bit erforderlich:
 - Paarungstoleranzen für gleiche Wid. R und $R+R$ (Reihensch.) leicht erreichbar
 - Toleranz hängt nur noch vom Wid.-verhältnis - nicht mehr von den Absolutwerten ab.
 - (Absolutwert $R, R+R$ kann $\pm 50\%$ schwanken)
- (!) Durch ebenfalls in gleicher Technologie integrierten OV-Rückführ-Wid. $R_{FB}=R$ kürzt sich der Absolutwert von R aus der Wandlungsgleichung heraus!

Bem:

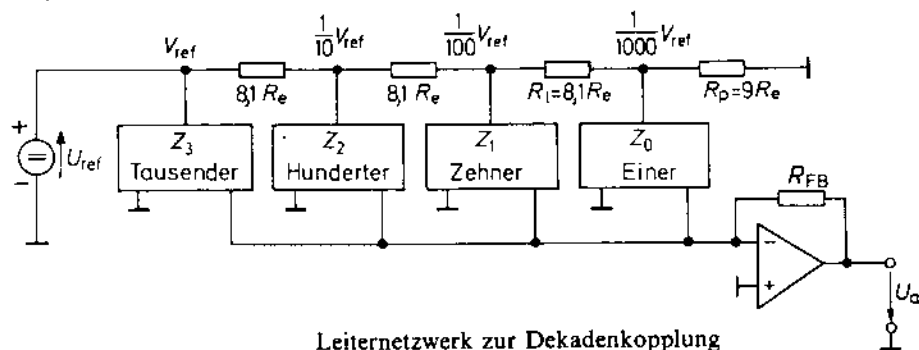
Mit sog. invers betriebenen R-2R-Kettenleitern, hierbei sind Eingang u. Ausgang vertauscht, kann die Spannungschalter-Betriebsart genutzt werden.
Vorteil: Summierverstärker (OV) kann wegfallen / lastwid. erford.
Nachteil: Umschaltung ungleicher Potentiale $\rightarrow$ parasitäre C_{par} stören! dies ergibt längere Einschwingdauern.

Umsetzung von BCD-Zahlen (Dekadenweise)

Jede Dezimalstelle wird mit DAC wie bisher beschrieben dekodiert (4 Bit Wandler)

Diese verbindet ein Kettenleiter mit Abschwächungsfaktor $d = \frac{1}{10}$

mit $d = \frac{1}{10}$
 $R_q = R_{\text{ein der DAC-Stufen}}$ } $\rightarrow R_L = 8,1 \cdot R_{\text{ein}}$
 $R_p = 9 \cdot R_{\text{ein}}$



Leiternetzwerk zur Dekadenkopplung

Dadurch unterscheiden sich die Eingangsspannungen der DAC's jeweils um den Faktor 10 für die Dezimalstellen Z_i .

$$\text{damit } U_a = - \frac{U_{\text{ref}}}{16} \left(Z_3 + \frac{1}{10} Z_2 + \frac{1}{100} Z_1 + \frac{1}{1000} Z_0 \right)$$

Verarbeitung vorzeichenbehafteter Zahlen

Bisher nur positive U_a betrachtet (bzw. nur neg. für invert. 0V)

Bipolare U_a sind durch hälftige Verschiebung des Wandlungsbereichs darstellbar:

Dualzahl-Darstellung durch Zweier-Komplement

(7B:) 8bit ermöglichen Bereich $-128 \dots +127$
 durch Addition von 128 $\rightarrow$ $0 \dots +255$
 $\downarrow$ Verschiebung nach

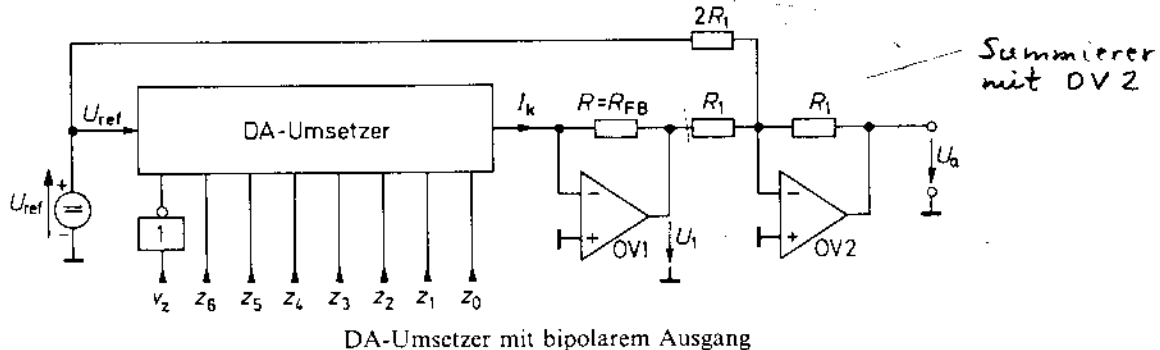
Damit entsteht:
 Zahl 128 $\hat{=}$ Bereichsmitte 0
 Zahlen >128 $\hat{=}$ positiven Zahlen
 Zahlen <128 $\hat{=}$ negativen Zahlen

Damit Darstellung vorzeichen behafteter Zahlen durch rein pos. Zahlen mgl.: sog. Offset - Dualdarstellung (Offset Binary)

wobei Addition von 128 durch Negation des Vorzeichen-Bits erfolgt:

Dezimal	Zweierkomplement	Offset-Dual	Analog (s. Abb)	
	$Vz \ z_6 \ z_5 \ z_4 \ z_3 \ z_2 \ z_1 \ z_0$	$z_7 \ z_6 \ z_5 \ z_4 \ z_3 \ z_2 \ z_1 \ z_0$	$U_{1/LSB}$	U_a/LSB
127	0 1 1 1 1 1 1 1	1 1 1 1 1 1 1 1	-255	127
...				
Ber. mitte 0	0 0 0 0 0 0 0 0	1 0 0 0 0 0 0 0	-128	0
...				
-1	1 1 1 1 1 1 1 1	0 1 1 1 1 1 1 1	-127	-1
...				
-128	1 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0	-128

Die Offset-Dual - Eingabe in den DAC führt zu $U_{1/LSB}$ in den bisher betrachteten Schaltungen am Ausgang, $U_{LSB} = U_{ref}/256$. Zum Erhalt der vorzeichenrichtigen U_a muß auf der analogen Ausgangsseite $128 U_{LSB} \hat{=} \frac{1}{2} U_{ref}$ subtrahiert werden:



DA-Umsetzer mit bipolarem Ausgang

hierzu dient der Summierer OV2, er bildet

$$\begin{aligned} U_a &= \underbrace{-U_1}_{\text{bewertet mit } R_1} - \underbrace{\frac{1}{2} U_{ref}}_{\text{bewertet mit } 2R_1} = U_{ref} \frac{z+128}{256} - \frac{1}{2} U_{ref} \\ &= \underline{\underline{U_{ref} \frac{z}{256}}} \quad \text{für } -128 \leq z \leq 127 \end{aligned}$$

|| Damit ist der digitale Offset durch den analogen Offset kompensiert!

Bem:

Erhöhung der Nullpunktstabilität durch Nutzung des vom DAC gelieferten I_k' (Strom gegen Massepunkt) (s. Tietze / Schenk, S. 760 ff)

Multiplizierende DAC:

DA-Wandler liefern $U_a \sim$ eingegebener Dualzahl und
 $\sim$ Referenzspannung U_{ref}

Damit Darst. als Produkt mgl.: $U_a = Z \cdot U_{ref} \cdot \text{const.}$

↙ IC's mit von außen eingebbarer U_{ref} sind
multiplizierende DAC!

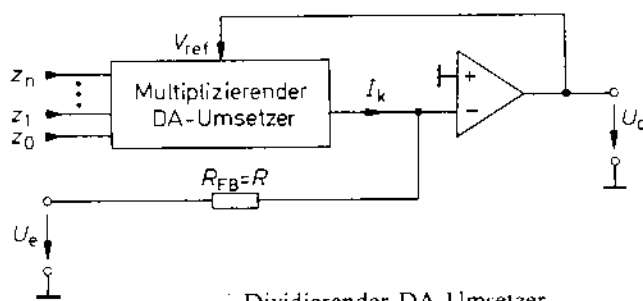
↗entsprechend
 Auflösung
 des DAC

Bipolar-DAC arbeiten nur mit pos. U_{ref} (Transistor-Stromquellen)
 CMOS-DAC arbeiten mit pos. u. neg. U_{ref} (meist +70V oder -70V)

IC's mit vorzeichenrichtiger Wandlung pos. u. neg. Zahlen
 ermöglichen die "Vier-Quadranten-Multiplikation"

Dividierende DAC:

Die DAC-Schaltung dividiert die Spannung U_e durch die eingeg.
 Dualzahl Z :



Dividierender DA-Umsetzer

Der DAC ist in die Rückführung eines OV gehalten, dadurch stellt
 sich der Ausgangsstrom des DAC-Kettenleiters I_k derart ein, daß

$$I_k = - \frac{U_e}{R_{FB}} \text{ am Stromsummenpunkt / virtuelle Masse wird}$$

Für den DAC gilt $I_k = \frac{U_{ref}}{R_{FB}} \cdot \frac{Z}{Z_{max}+1}$ (Umsetzergleichung, wegen $U_a = -R_{FB} \cdot I_k$)

Die hier variable (!) U_{ref} des DAC muß damit

$$U_a = U_{ref} = I_k \cdot R_{FB} \frac{Z_{max}+1}{Z} \text{ werden.}$$

Mit $I_k = - \frac{U_e}{R_{FB}}$ wird
$$U_a = - \frac{U_e}{R_{FB}} \cdot R_{FB} \frac{Z_{max}+1}{Z} = - \frac{U_e}{Z} (Z_{max}+1)$$

dh.: Einfache Lösung zur Division, anstatt aufwendiger analoge oder digital. Techn.

Statische Kenngrößen v. DAC

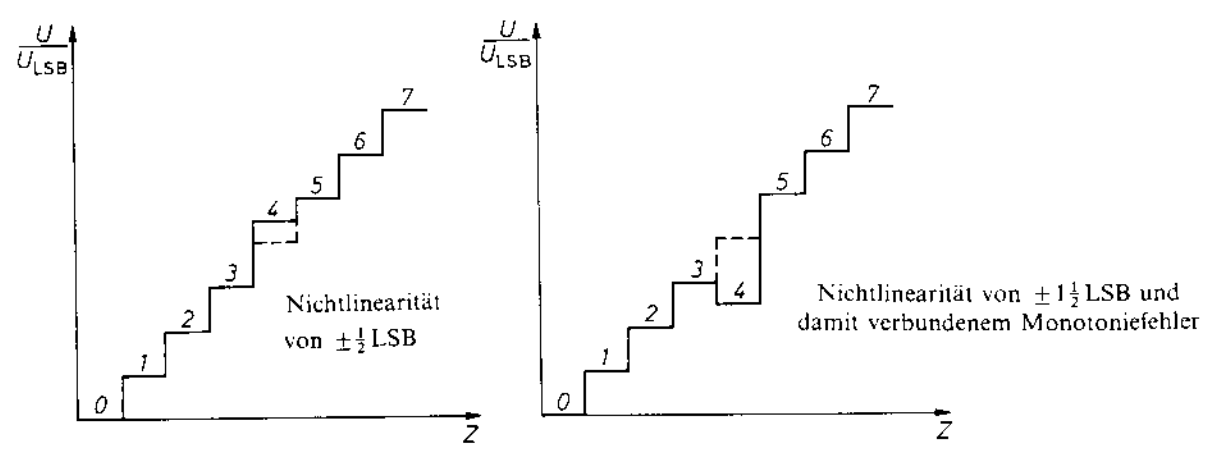
Nullpunktfehler: entsteht durch Sperrströme geöffneter Schalter
Vollausschlagfehler: entsteht durch Schalter-Ein-Widerstände und Toleranz von R_{FB} $\rightarrow$ Abgleich mgl.

Nichtlinearität: gibt an, um wieviel LSB eine Stufe größer oder kleiner als 1 LSB ist

⚠ kritischster Punkt in Bereichsmitte:
 wenn MSB = "1" und es wird um 1 LSB erniedrigt, müssen alle niederwertigen Schalter zusammen einen um 1 LSB kleineren Strom liefern!

- Monotoniefehler: Bei Linearitätsfehler $> 1 \text{ LSB}$ gibt es (mindestens) 1 Stufe, bei der die Veränderung der Dualzahl Z und der Ausgangsspannung U_a gegenläufig ist

⚠ $\rightarrow$ das niederwertigste Bit wird damit wertlos



Dynamische Kenngrößen v. DAC

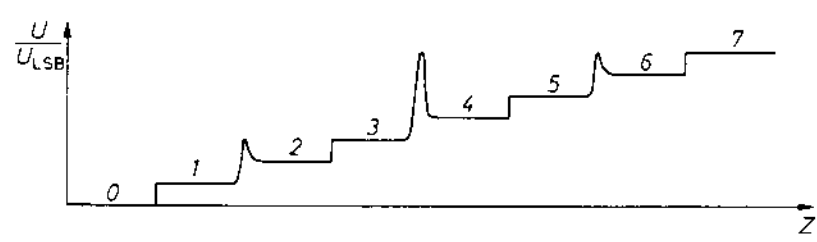
Einschwingzeit: Zeit, in der nach Umschalten der Dualzahl von 0 auf Z_{max} , das analoge Ausgangssignal eine Genauigkeit von $\frac{1}{2} \text{ LSB}$ vom stationären Endwert erreicht hat.

$\rightarrow$ höhere Auflösung ergibt größere t_e

Glitches: sind (größere) Störimpulse, die infolge nicht gleichzeitigen Schaltens der Schalter entstehen

⚠ kritischster Punkt in Bereichsmitte (wie oben!)

- (ZB):
- MSB - Schalter öffnet früher, als sich übrige Schalter schließen $\rightarrow U_a$ geht kurzzeitig auf 0.
 - MSB - Schalter schließt früher - " -
 - " - öffnen $\rightarrow U_a$ - " - auf U_{max} .



Auftreten positiver Glitches bei zu langsamem Öffnen der Schalter

Verringerung der Glitches durch - Treppenfaltung

- Ausblendung mit Abtast-Halte-Gliedern ("Deglitcher")
- Anwendung intern flankengetriggter Datenspeicher für die Dualzahl Z.

Teilweise auch Einsatz des glitchfreien Parallelverfahrens für die kritischen höherwertigen Bits!

Typische Kenndaten

- 8 bis 78 Bit DAC
- vorwiegend CMOS, weniger TTL / ECL
- 1 bis 4 Kanäle
- 5ns bis 7µs Einschwingzeit

Bem: Zählverfahren (Serienvandler)

Es gibt auch DAC, die den Wandlungsvorgang über - Mittelwertbildung an RC-Gliedern - zyklische bit-weise Ladung / Entladung von RC-Gliedern

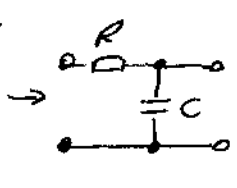
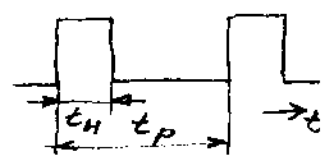
durchführen (auch "DAC mit indirekter Umsetzung" genannt)

Nachteil $\rightarrow$ lange Wandlungszeit, geringe Umsetzungsgeschwindigkeit.

(ZB) Tastverhältnis $\hat{=}$ Z eingestellt:

$U_H = 5V$: "H"

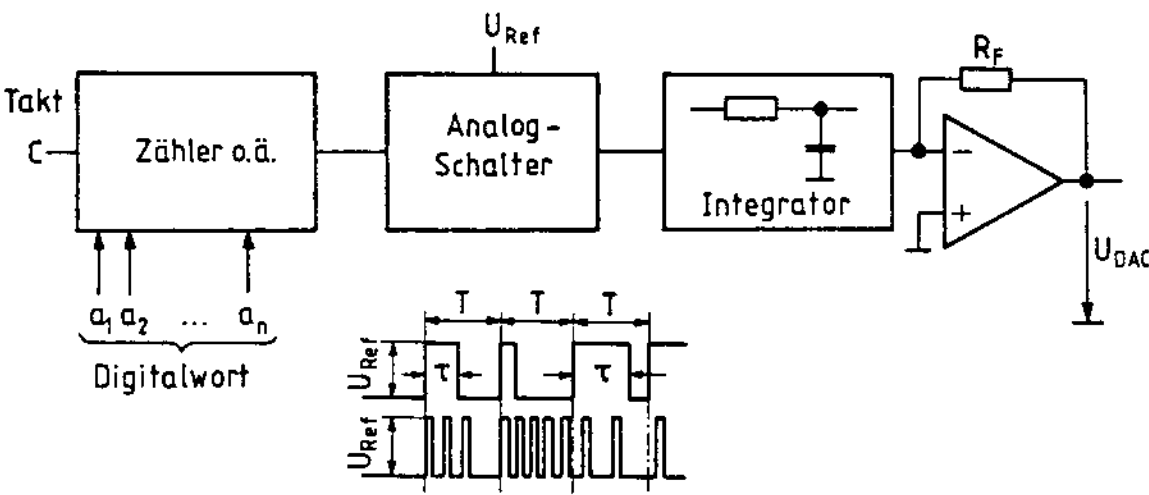
$U_L = 0V$: "L"



$0 \leq t_H \leq t_P ; Z \gg t_P$!

$$U_a = \frac{t_H}{t_P} \cdot U_H$$

DAC mit indirekter Umsetzung



Blockschaltbild des indirekten DAC

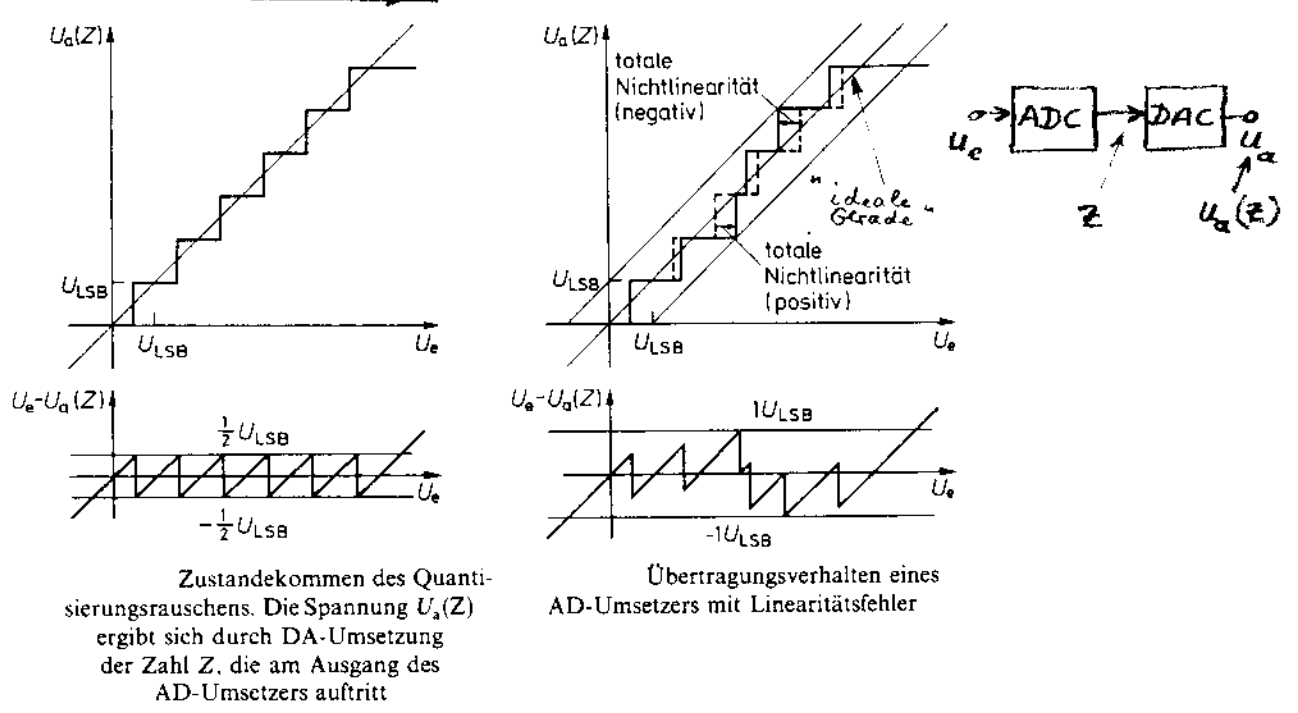
AD-Wandler (ADC)

wandelt eine analoge el. Eingangsspannung U_e in einen Digitalwert (binär cod. Zahl) Z um.

Dh.: Vergleich der Eingangsgröße U_e mit der Quantisierungseinheit U_{LSB} (Spannungseinheit für das LSB) $\leadsto$

Ausgabe $Z = \frac{U_e}{U_{LSB}} = \frac{U_e}{U_{ref}} \cdot 2^n = \frac{U_e}{FSR} \cdot 2^n$

Allg. zur AD-DA-Wandlung:



Wird die erzeugte Binär-Zahlenfolge wiederum in einem DAC in eine Spannung $U_a(Z)$ zurückgewandelt, äußert sich der Quantisierungsfehler als überlagertes Rauschen (aus "Fehlspannung")

Effektive Rausch-Spannung $U_{eff} = \frac{U_{LSB}}{\sqrt{12}}$

(z.B.) Signal-Rausch-Abstand (bei Vollaussteuerung) zu fordern für gute Audio-Wiedergabe: $\frac{Signal}{Noise} = \frac{S}{N}$ in dB > 70 dB

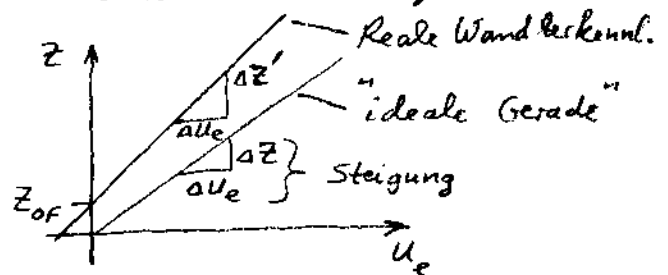
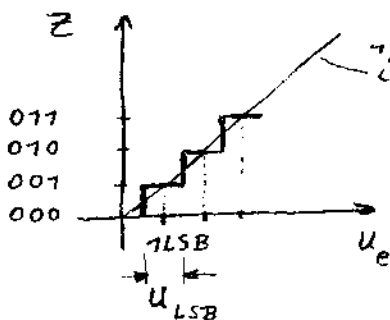
Bei sinusförmiger Vollaussteuerung eines n-bit Umsetzers wird die

Effektive Signal-Spannung $U_{seff} = \frac{1}{2} \cdot \frac{1}{\sqrt{2}} \cdot 2^n \cdot U_{LSB}$

$\leadsto$ Signal / Rausch-Abstand $\frac{S}{N}$ in dB $= 20 \text{ dB} \cdot \lg \frac{U_{seff}}{U_{eff}} = n \cdot 6 \text{ dB} + 7,8 \text{ dB}$
 damit $n \geq 72$ bit Auflösung erforderlich (CD-Player sind 16bit-Geräte)

Genauigkeit von ADC, Fehlerkenngrößen

① Statische Fehler: Abweichungen von der idealen Wandlergeraden



a) Offsetfehler (additiver Fehler Z_{OF})

↪ Nullpunktabgleich elimin.

b) Steigungsfehler (multiplik. Fehler)

↪ Vollauschlag abgleich elimin.
≡ Verstärkungseinstellung

weiterhin:

Nichtlinearität: Wandlungsfehler der über den systematischen Quantisierungsfehler hinausgeht

Totale Nichtlinearität := max. Abweichung von U_e von der idealen Gerade minus den systemat. Quantisierungsfehler $\frac{1}{2} U_{LSB}$
(z.B.: rechtes Bild S. 67 → tot. Nichtlin. = $\pm \frac{1}{2} U_{LSB}$)

Differenzielle Nichtlinearität: gibt betragsmäßige Abweichung der Breite der einzelnen Stufen vom Sollwert U_{LSB} an.
(Angabe in Bruchteilen der LSB-Einheit)

Falls Fehler $> U_{LSB}$ werden einzelne Zahlen überspringen
= Missing Code

Falls Fehler $\gg U_{LSB}$ kann bei $U_e \uparrow$ die Zahl $Z \downarrow$
= Monotoniefehler

② Dynamische Fehler: entstehen infolge begrenzter Wandlungsgeschw.

- Wesentlich bei AD-Wandlung von hochfrequenten Wechsellsignalen
- ist die Erfüllung des Abtasttheorems. Bei geg. höchster Signalfrequenz f_{max} muß für die Abtastfrequenz f_T gelten:

$$f_T \geq 2 f_{max}$$

Abtasttheorem
bei Nichteinhaltung ↪ Informationsverlust
Signalverfälschung

↪ Erforderliche Einstellzeit t_E - des Abtast-Haltegliedes
- der Umschaltedauer des ADC

$$t_E < \frac{1}{2 f_{max}}$$

t_E zur Einstellung auf eine Abweichung $< 1 U_{LSB}$!

Dieses Problem wird meist durch Tiefpassfilterung des Signals (↪ f_{pro}) entschärft.

- Zeitliche Instabilität des Abtastzeitpunktes Δt_A :



erforderliche Konstanz der zeit äquidistanten Abtastzeitpunkte t_i zur Gewinnung der analogen Abtastwerte $U_e(t_i)$
mit Δt_A (Apertur-Jitter) entsteht jeweils ein Amplitudenfehler ΔU

Speziell für $U_e = \hat{U} \cdot \sin \omega t$ (sin-förmiges Eingangssignal)
wird:
bei größter Steigung im Nulldurchgang

$$\left. \frac{dU_e}{dt} \right|_{t=0} = \omega \cdot \hat{U} \qquad \omega = 2\pi f$$

der Amplitudenfehler $\Delta U = \omega \cdot \hat{U} \cdot \Delta t_A$

Für gefordertes $\Delta U < 1 \cdot U_{LSB}$ (Quantisierungsstufe) des ADC

↘ Bedingung für Apertur-Jitter Δt_A

$$\Delta t_A < \frac{U_{LSB}}{\omega \hat{U}} = \frac{U_{LSB}}{\omega \frac{1}{2} U_{max}} = \frac{U_{LSB}}{\pi f \cdot U_{max}}$$

(2B): 10 bit-Umsetzer mit max. Signalfrequenz $f = 5 \text{ MHz}$

↘ $\frac{U_{LSB}}{U_{max}} = \frac{1}{2^n} = \frac{1}{1024}$ und $\Delta t_A < 62 \text{ ps}$

nur mit sehr schneller Logik erreichbar!

ADC-Prinzipien:

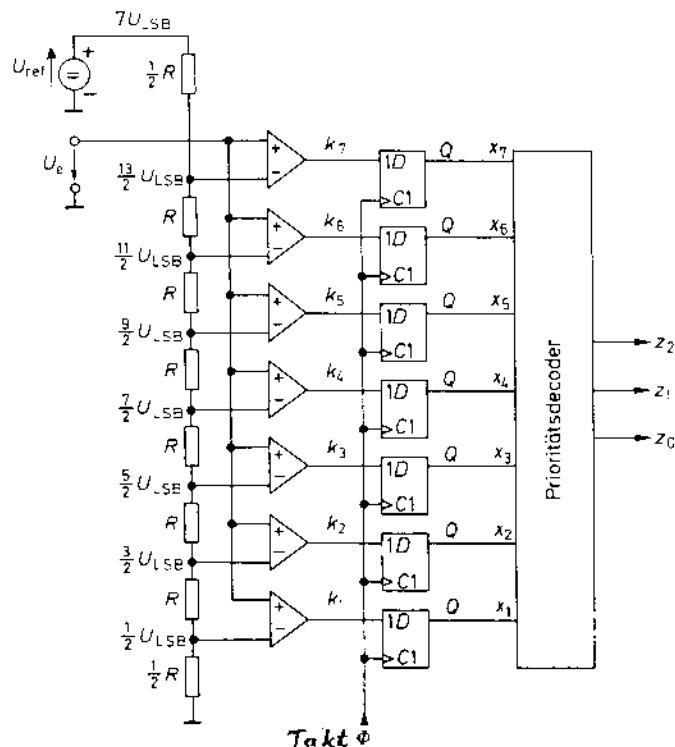
Parallelverfahren ("word at a time")	Wägeverfahren ("digit at a time")	Zählverfahren ("level at a time")
a.) für n-bit-ADC • $2^n - 1$ Normale und ebenso viele Komparatoren erf. (bei 2^n Diskretis.) für Vergleich mit Eingangs. • aber nur 1 Rechenschritt erf.	b.) ... • n Normale erf. beginnend mit MSB wird U_e nacheinander mit dual abgestuften Normalen verglichen. • damit n Rechenschritte erf.	c.) ... • nur 1 Normal erf. • in $2^n - 1$ Rechenschritten wird ermittelt, wie oft man U_{LSB} addieren muß, um U_e zu erhalten
<u>Problem:</u> hoher schaltungstechn. Aufwand bei $n \uparrow$	technisch vielfältig genutzt!	<u>Problem:</u> langsamer Algorithmus
<u>Vorteil:</u> sehr schnell	i.a. guter Kompromiß zwischen techn. Aufwand und Umsetzgeschwindigkeit	<u>Vorteil:</u> geringer techn. Aufwand

Parallel - ADC

Die Referenzspannung U_{ref} wird über einen Wid.- Spannungsteiler in $2^n - 1$ Referenzspannungen unterteilt.

$2^n - 1$ Komparatoren vergleichen U_e mit diesen Ref.-Spannungen

⚠ "oben" und "unten" $\frac{1}{2}R$ für $\frac{1}{2}U_{LSB}$



AD-Umsetzer nach dem Parallelverfahren

hier entsteht:

$$Z = \frac{U_e}{U_{LSB}} = 7 \frac{U_e}{U_{ref}}$$

$$Z = Z_{max} \frac{U_e}{U_{ref}}$$

Jeder Komparator schaltet ausgangsseitig auf "H", wenn die Eing.-spannung $U_e >$ geteilte U_{ref} (am invert. Eingang) ist.

↘ Zählcode ("Thermometercode")

Zur Vermeidung von Fehlausgaben des Decal code - Ausgangs infolge Wettlauferscheinungen in den Komparatoren und insbesondere im Prioritätsdekoder (extremer Fall: zeitlicher Versatz des MSB $\rightarrow$ Fehler $\hat{=}$ halber Messbereich!)

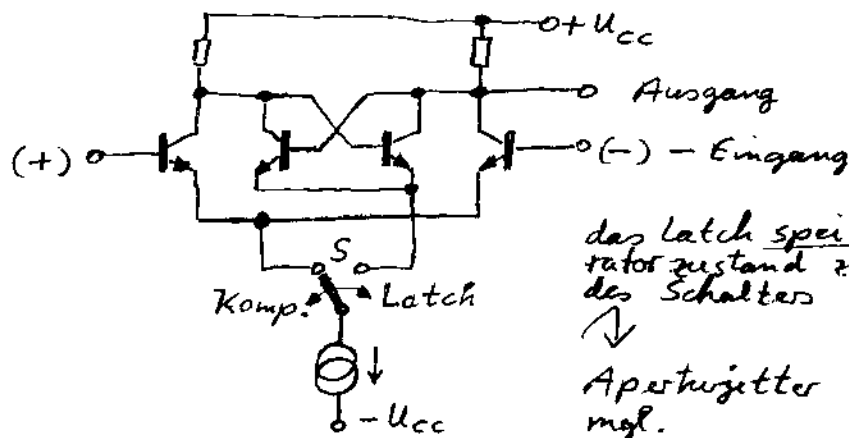
übernehmen die D-FF mit dem Takt Φ die Eingangssignale für eine Periodendauer $T_\Phi \rightarrow$ stationäre Daten für Decoder!

$\hat{=}$ Digitalem Abtast-Kalkül-Gleich:

Für geringen Apertur-Jitter (aus Laufzeitdifferenzen der Komparatoren)

wird zur Verkürzung der Signallaufzeiten in den

Komparator ein Speicher gleich mit einbezogen:



das Latch speichert den Komparatorzustand zum Umschaltzeitpunkt des Schalters

Aperturzeit $\Delta t_A \approx$ einige ps! mgl.

Sehr schnelle ADC nach dem Parallelverfahren heißen Flash-Converter (Flash = "Blitz")

Erreichte tech. Daten

8- und 10-bit Auflösung, Nichtlinearität $\pm \frac{1}{2} \text{LSB} \dots \frac{1}{4} \text{LSB}$

30 MHz bis > 7 GHz Abtastfrequenz

bei $P_V = 150 \text{ mW} \dots 7 \text{ W}$ (Hybrid-IC)

Bem.: sog. Kaskadenumsetzer (Half-Flash-ADC):

vermindert Anzahl der Komparatoren, indem zunächst die höherwertigen bits (z.B. $n/2$) in einem ersten Schritt parallel mit Flash-ADC gewandelt, gespeichert und mit DAC in eine (grob quantisierte) Spannung gewandelt werden. Diese Spannung wird von U_e (Eingangsspannung) subtrahiert und aus der Differenz mit einem zweiten (Flash) ADC die niederwertigen bits erzeugt.

↪ Vorteil: geringerer Aufwand (durch Kombination von Parallel- mit ^{Wäge-}verfahren)

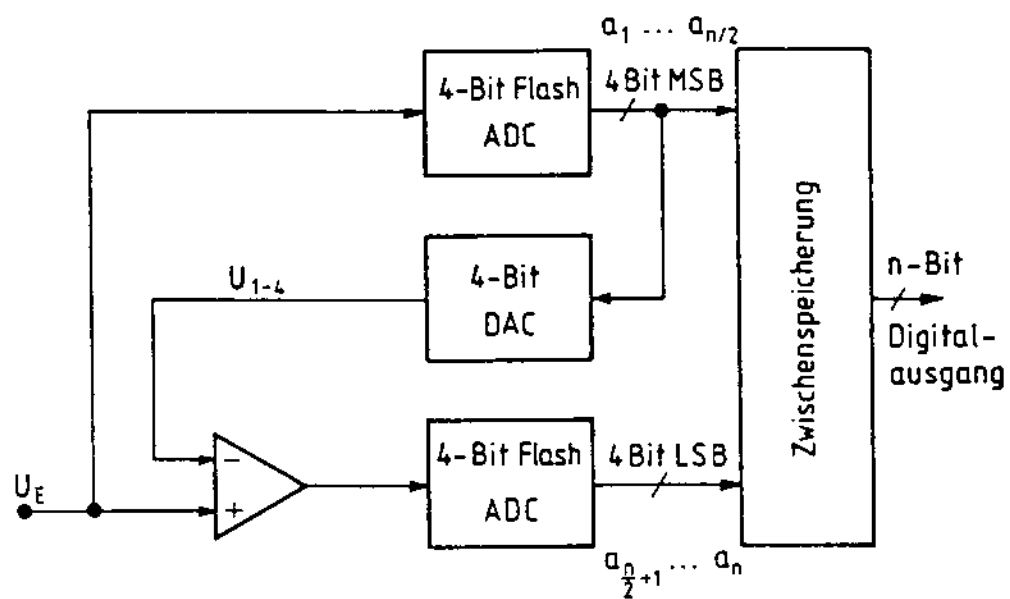
(z.B.: 10-bit-Wandler, hat als:

- Parallel-ADC: $2^{10} - 1 = 1023$ Komparatoren

- Half-Flash-ADC: $2 \cdot (2^5 - 1) = 62$ Komparatoren

Nachteil: Erforderliches analoges Abtast-Halteglied am Eingang, um U_e für die gesamte Wandlungsdauer konstant zu halten ↪ langsamer!

Subranging-ADC (Kaskaden-Umsetzer)

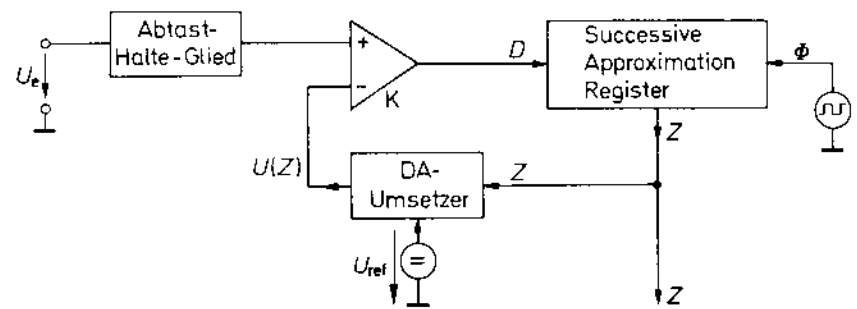


$\hat{=}$ Parallel-Serien-ADC

Wägeverfahren - ADC (Successive Approximation)

Erzeugung der Dualzahl Z durch eine Reihe aufeinanderfolgender Vergleichsschritte (serielles Verfahren)

Die zu den n -Vergl.-schritten benötigten n -Vergleichsnormale werden seriell erzeugt:

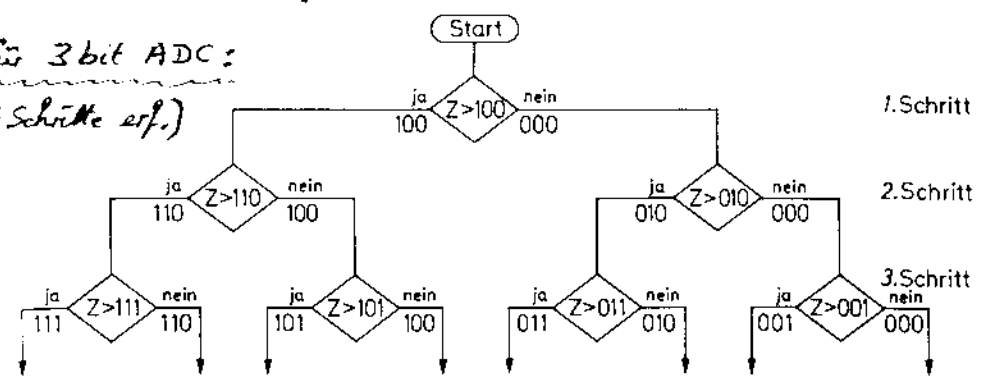


AD-Umsetzer nach dem Wägeverfahren

Das anliegende Analogsignal U_e wird mit dem Vergleichssignal $U(Z)$ des rückgekoppelten DAC verglichen:

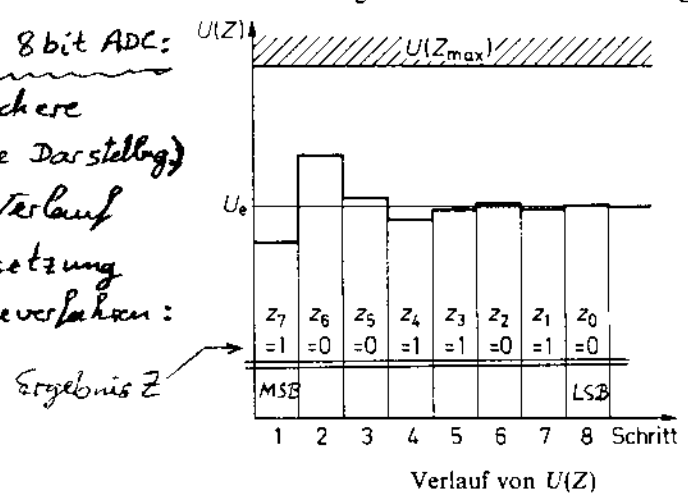
Zu Beginn wird die Zahl Z auf Null gesetzt, dann das MSB auf "1" gesetzt und geprüft, ob $U_e > U(Z)$ ist. MSB bleibt auf "1" wenn "ja", danach folgt der Wägevorgang für jedes weitere niederwertige Bit, $\approx n$ Schritte erf.

z.B. für 3bit ADC:
(3 Schritte erf.)



Flußdiagramm für den Ablauf des Wägeverfahrens

z.B. für 8bit ADC:
(übersichtlichere schrittweise Darstellung)
Zeitlicher Verlauf einer Umsetzung nach Wägeverfahren:



D	z ₇	z ₆	z ₅	z ₄	z ₃	z ₂	z ₁	z ₀	
z ₇	1								1 MSB
z ₆		0							0
z ₅			0						0
z ₄				1					1
z ₃					1				1
z ₂						0			0
z ₁							1		1
z ₀								0	0 LSB

Verlauf von U(Z)

Verlauf von Z

damit wird $u(z) = u_e = U_{ref} \frac{z}{z_{max} + 1}$ nach Wägen des letzten (LSB) - bit

$$\Downarrow \quad \underline{\underline{z = (z_{max} + 1) \frac{u_e}{U_{ref}}}}$$

ⓘ Abtast-Halte-Glied sichert, daß alle Bit stellen aus der gleichen u_e gebildet werden. Bei Änderung von u_e während der Umsetzdauer entsteht sonst ein Fehler $= \Delta u_e$!

Sukzessives Approximations-Register

steuert die Umsetzung.

Besteht aus Schieberegister zum versuchsweisen "Durchschieben" eines "1" für den jeweiligen Taktschritt und in Latch-FF zur Abspeicherung des jew. Komparator-Ergebnisses.

Erreichte techn. Daten:

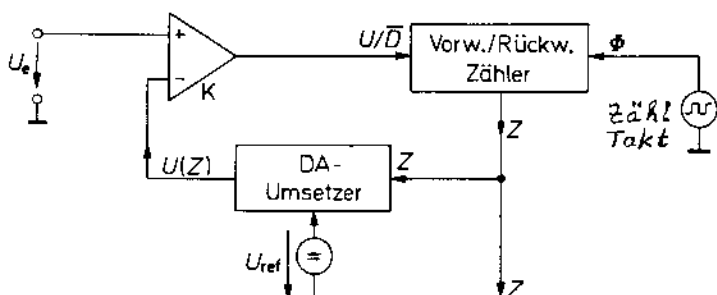
- 8 ... 10 bit (CMOS, Bipolar)
- 12 ... 16 bit Hybrid-IC's
- 1 ... 40 μ s Umsetzdauer
- 75 ... 7000 mW Verlustleistung P_v

Zählverfahren - ADC

geringster Aufwand, aber sehr langsam (einige ms)
z.B.: für Ziffernanzeigen (Multimeter, Temperatur, Tachom.)

Kompensationsverfahren (Nachlaufverfahren)

Ein DAC führt ein analoges Signal U_e auf den Komparator zurück,



$$Z = \frac{U_e}{U_{ref}} (Z_{max} + 1)$$

der U_e mit $U(Z)$ vergleicht:

ist $U_e > U(Z) \rightarrow$ Zähler zählt vorwärts

$U_e < U(Z) \rightarrow$ - - - rückwärts

bis $U(Z)$ die Eingangsspannung "erreicht" hat.

$\rightarrow$ Bezeichnung "Nachlaufumsetzer" ("Tracking-ADC")

Problem: - Die Kompensationsspannung $U(Z)$ ändert sich nur in 1 LSB-Schritten

Dies führt nur bei langsamen U_e -Änderungen nicht zu einer deutlichen Erhöhung der Umsetzzeit.

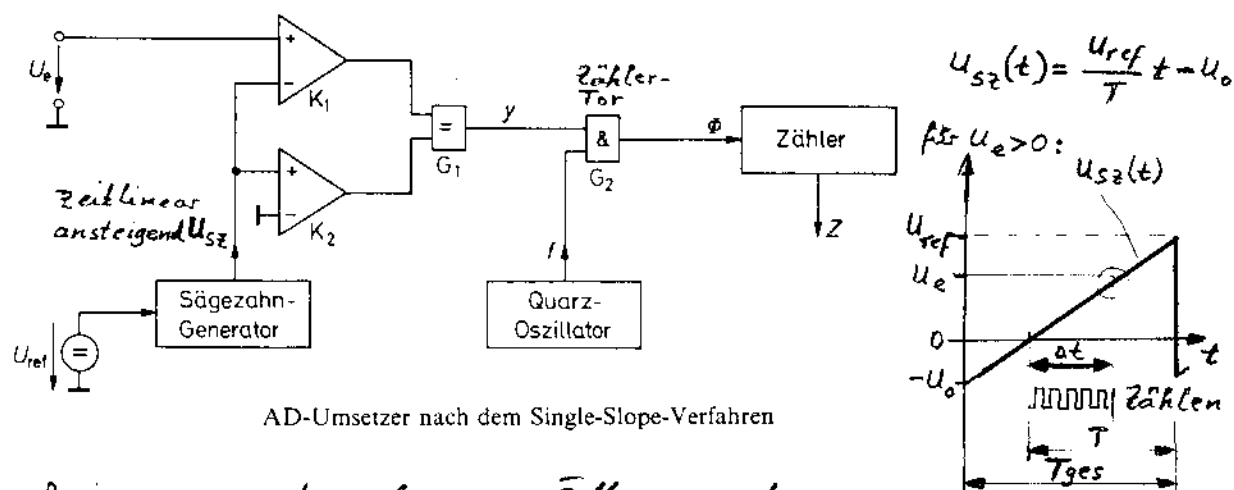
- Der Zähler pendelt immer um 1 LSB um U_e herum, da der Komparator nur 2 Zustände kennt.

(ev. Ausweg: Fensterkomparator)

Ein-Rampen-Verfahren (Single-Slope-Verf.)

Ein Sägezahn-generator (Kondensatorladeverfahren) läuft in der Periodendauer T_{ges} von $-U_0$ auf $+U_{ref}$. Dieser Verlauf wird mit U_e in einem Fensterkomparator verglichen.

Solange die Sägezahnspannung zwischen den Schranken 0 und U_e läuft, ist das Tor G2 für den Zähler geöffnet, d.h. Ausgang des Äquivalenzgatters G1: $y = "H"$.



Zählergebnis proportional zur Öffnungszeit an y und der Oszillatorfrequenz f (mit $\Delta t = T \cdot \frac{U_e}{U_{ref}}$) allg. für $U_e \geq 0$ mgl.

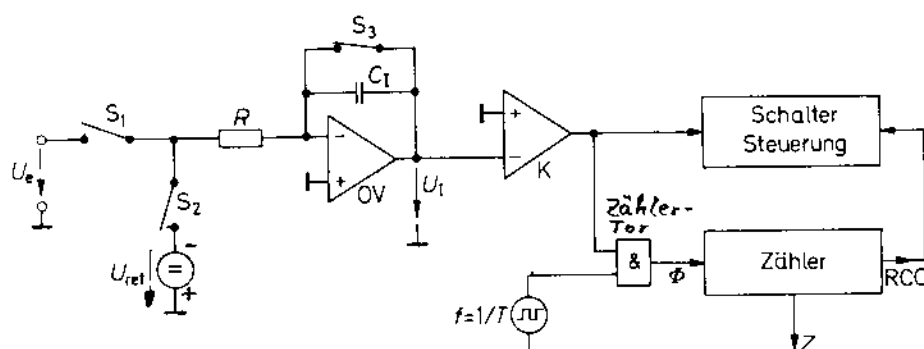
$$\frac{Z}{Z_{max}} = \frac{\Delta t}{T} ; \quad Z = f \Delta t = f \cdot T \cdot \frac{U_e}{U_{ref}} \quad (\text{für } U_e > 0)$$

Problem: Konstanz der Periodendauer T nicht beliebig stabil! , mit RC-Glied Genauigkeit $< 1\%$ nicht erreichbar.
(hier wird U_e in eine proport. Zeit übersetzt)

deshalb Übergang zum

Zwei-Rampen-Verfahren (Dual-Slope-Verf.)

Es wird nicht nur U_{ref} , sondern auch U_e integriert



Ruhezustand: S_1, S_2 offen, S_3 geschlossen $\rightarrow U_i = 0$.

Meßbeginn: Nullsetzen des Zählers, S_3 wird geöffnet, S_1 wird geschlossen

Bei pos. U_e läuft Integration von U_e in Richtung negativer U_i : $\rightarrow$ Komparator K öffnet das Zähler-tor.

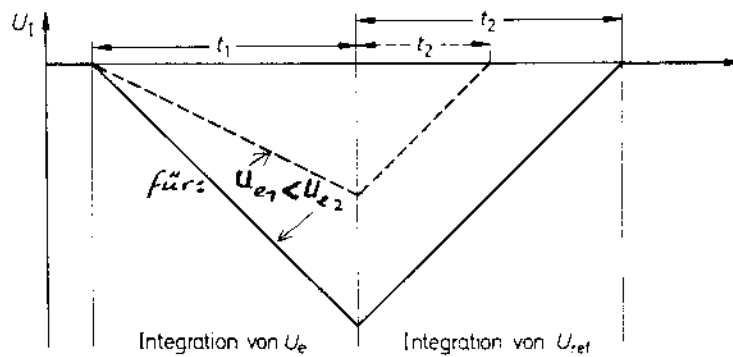
Der Takt Φ lässt den Zähler hoch zählen bis zum Überlauf nach $z_{\max} + 1$ Taktimpulsen (Zählerstand wieder 0)

Dabei Ausgangsspannung U_1 des Integrators:

$$U_1(t_1) = -\frac{1}{\tau} \int_0^{t_1} U_e dt = -\frac{U_e}{\tau} \cdot (z_{\max} + 1) \cdot T$$

mit $\tau = R \cdot C_I$ (Integrations-Zeitkonstante), T = Taktperiodendauer

Jetzt Start der Abwärtsintegration der (neg.) Referenzspannung $-U_{\text{ref}}$ (hierzu S_1 offen, S_2 geschlossen)



Zeitlicher Verlauf der Integrator-Ausgangsspannung für verschiedene Eingangsspannungen U_e

Es wird nun anhand des Zählerstandes z ermittelt, wieviel Zeit t_2 vergeht, bis der Komparator den Nulldurchgang von U_1 feststellt: $\rightarrow$ Schließen des Tors = Zählerstopp

$$t_2 = z \cdot T = \frac{\tau}{U_{\text{ref}}} \cdot |U_1(t_1)|$$

mit $U_1(t_1)$ - obige Glng. -

$$\rightarrow \boxed{z = (z_{\max} + 1) \frac{U_e}{U_{\text{ref}}}} \quad \text{als Zählergebnis während } t_2$$

⚠ Vorzug offensichtlich:

- weder Taktperiodendauer T (bzw. Taktfrequenz f)
- noch Integrationszeitkonstante $\tau = R \cdot C_I$

gehen ins Ergebnis ein!

Nur deren Kurzzeitkonstante während Messzeit $t_1 + t_2$ ist zu fordern!

Hier sind Genauigkeiten $< 0,1\%$ erreichbar!

Bem.: Meßdynamik:

Das Meßergebnis wird vom Mittelwert $\bar{U}_e$ über die Zeit t_i bestimmt.

↘ Unterdrückung von störenden Wechselspannungen, wenn deren Frequenz einem ganzzahligen Vielfachen der Integrationsfrequenz $1/t_i$ der Eingangsspannung U_e entspricht.

Bem.: Als Zähler kann auch ein BCD-Zähler eingesetzt werden

↘ unnützbare dezimale Anzeige ungl. (z.B. Digitalvoltmeter)

Erreichte techn. Daten:

bis $5\frac{7}{2}$ Digit } Auflösung mit { BCD - Ausgang
bis 22 bit } Dual -

5ms ... 500 ms Umschaltedauer

0,5mW ... 600 mW Verlustleistung

mit geringem Aufwand ist hohe Genauigkeit und Störunterdrückung erreichbar!

Bem.: Delta-Sigma-ADC ($\Delta\Sigma$ -ADC)

nutzt: - stoßförmige Signalabtastung (Δ -Begriff) = 2-fgr eines idealen Tiefpasses
mit Überabtastung (oversampling bis 1000 über Nyquist rate)
- Summierung bzw. Integration u. Mittelwertbildung (Σ -Begriff)

Besteht aus Δ - Σ -Modulator und Digitalfilter

↙ Integrator, Komparator
und 1bit-DAC
als Regelschleife

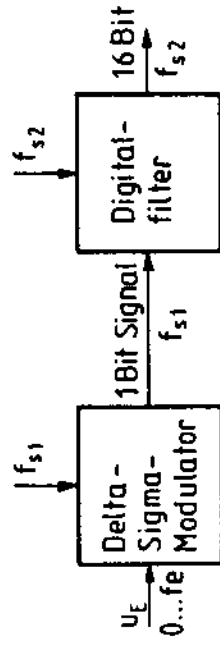
↘ hochfrequente 1bit-Folge aus U_e erzeugt

↘ wandelt hochfrequente 1bit-Folge in eine niederfrequente Mehrbitfolge um (Bewertung d. Filterfkt.)
für n bit entsteht daraus eine Ausgangsfrequenz $f_a = \frac{f_e}{n}$

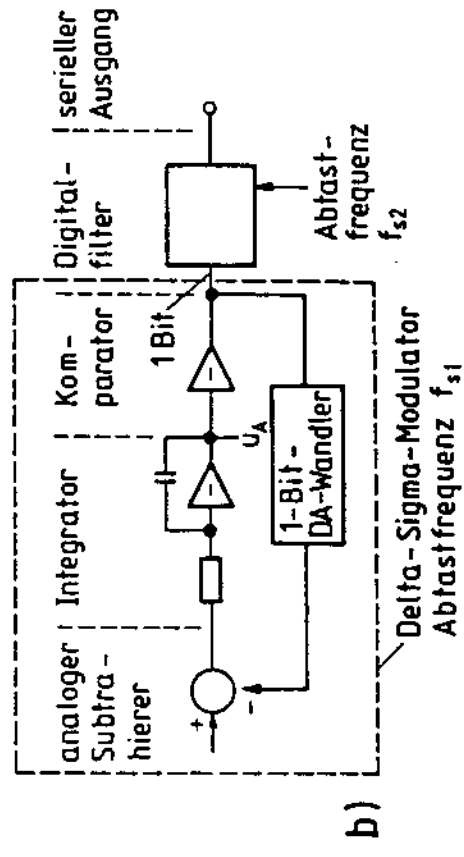
D.h., der Eingangs analog-Verlauf wird am Ausgang mit hoher Auflösung, aber niedriger Taktrate wiedergegeben

(z.B.) digitale Audiotechnik: - Abtastfrequenzen einige MHz
- Auflösungen ≥ 16 bit üblich

Analog-Digital-Signalumwandlung



a)

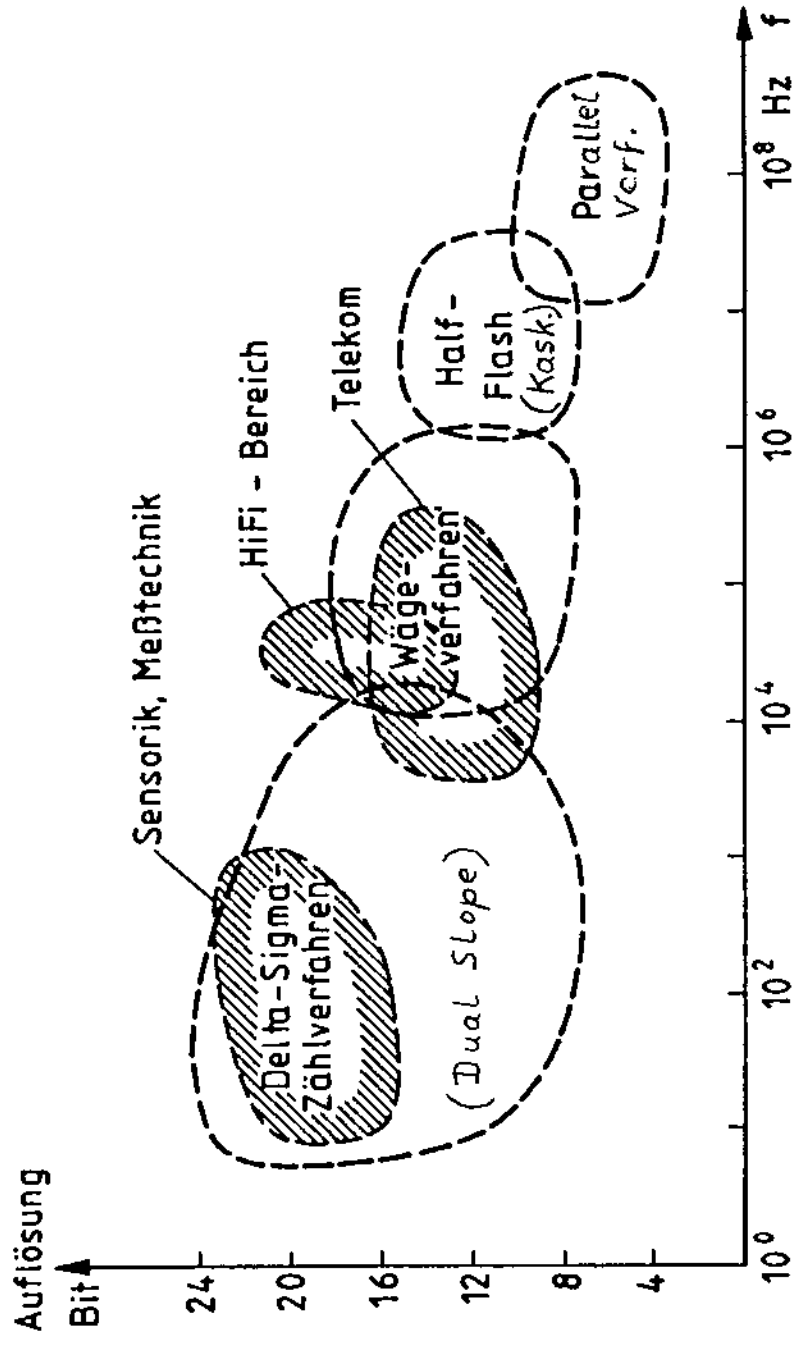


b)

Delta-Sigma-ADC
a) Prinzipanordnung, b) Aufbau

Typische Merkmale und Anwendungsfelder von AD-Umsetzern

	Anflösumsatzzeit	Ausgang	Anwendungen	Bewertung
AD-Parallelumsetzer	6 bis 12 Bit 1 bis 300 ns (sehr schnell)	parallel, binär	Videosignalumsetzung, Transientenrecorder, Kommunikationstechnik, schnelle Meßwandler, nichtlin. Umsetzkennlinie, Digitaloszillograph	teuer, hoher Leistungsverbrauch
AD-Wandler, Wägeverfahren	6 bis 20 Bit 0,1 bis 100 µs (schnell)	parallel, binär, µP-kompatibel	Schnelle Signalwandlung (Meßtechnik), Kommunikationstechnik	mittlerer Preis, mittlerer Leistungsverbrauch
AD-Wandler, (seriell, Dual-slope- Verfahren)	10 bis 20 Bit 1 ms bis 1 s (langsam)	parallel, binär, BCD (3½ bis 5½ Stellen), µP-kompatibel	langsame Meßtechnik (Digitalmultimeter), Regel-, Meßtechnik	niedriger Preis, geringer Leistungsverbrauch
Delta-Sigma-ADC	8 bis 24 Bit 1 µs bis 1 s	parallel, seriell	Kommunikationstechnik, digitale Audiotechnik	niedriger Preis, geringer Leistungsverbrauch



Auflösung und Frequenzbereich typischer Wandlerv Verfahren, Einsatzgebiete

Halbleiter - Speicher

bestehen aus einzelnen Speicherzellen, i.a. Flip-Flop oder MOS-Kapazität mit Schalter oder einmalig programmierbaren Strukturen...

Sind i.a. Wort(16bit)organisiert, seltener bit-organisiert.

Grundsätzliche Einteilung in

Tabellenspeicher: RAM, ROM

bei jeder von 2^n Adressen (Wortbreite $n = 5 \dots 22$ bit)

lassen sich Daten speichern (Datenwortbreite $m = 7 \dots 76$ bit)

Adressraum u. Wortbreite durch Verwendg. mehrerer Speicher IC's beliebig vergrößerbar!

⇒ Speicherung von Tabellen (Wahrheitstafeln, Comp.-Programme, Messreihen / Rechenergebnisse)

Funktionspeicher: PLD (PAL, PLA) und LCA

hier keine Tabellensp., sondern Speicherung logischer Funktionen. Insbesondere aus Wahrheitstafeln gehen weitgehende Vereinfachungsmöglichkeiten für eine logische Kktn. hervor (z.B. Boolesche Algebra), dann wird Einsatz von Funktionspeichern viel effektiver als von Tabellensp.

Bezeichnungen:

RAM	-	Random Access Memory	(zu jeder Zeit wahlfreier Datenzugriff)
ROM	-	Read-Only Memory	(Festwertspeicher)
PLD	-	Programmable Logic Device	
PLA	-	Programmable Logic Array	(keine Bedeutung mehr)
PAL	-	Programmable Array Logic	(einfache Handhabung)
LCA	-	Logic Cell Array	(! aktuell, z.B. FPGA...)
mit: EP...	-	Erasable u. Programmable	(Speichervorgang = Programmierg.)
EEP...	-	Electrical Erasable u. Programmable	

Auch ROM erlauben wahlfreien Zugriff auf jedes Datenwort! im Normalbetrieb werden sie nur gelesen, aber nicht beschrieben.

Die PLD's bestehen aus einem kombinatorischen Feld mit (zwei) Verknüpfungsmatrizen mit beliebig programmierbaren Koppelpunkten für AND- und/oder OR-Verknüpfung (Realisierung als DNF oder KNF)

In LCA's lassen sich verschiedene logische Funktionen (in progr.-baren Funktionsblöcken) und auch beliebige Datenpfade zw. Kktnsblöcken realis.

Halbleiterspeicher

Zugriff

Inhaltsbezogen

CAM

wahlfrei

(Matrixspeicher)

seriell

SAM

Schreib-Lese-Sp.

(flüchtig)

RAM

statisch

SRAM

dynamisch

DRAM

pseudo-

statisch

virtuell

statisch

VideoRAM

Festwert-Sp.

(nicht flüchtig)

ROM

nicht löschar

ROM

MROM

PROM

löschar

UV-Licht

EPROM

elektrisch

EEPROM

EAROM

NVRAM

BRAM

Flash-(E)EPROM

FIFO LIFO

((FIFO))

CCD

Schiebe-
register

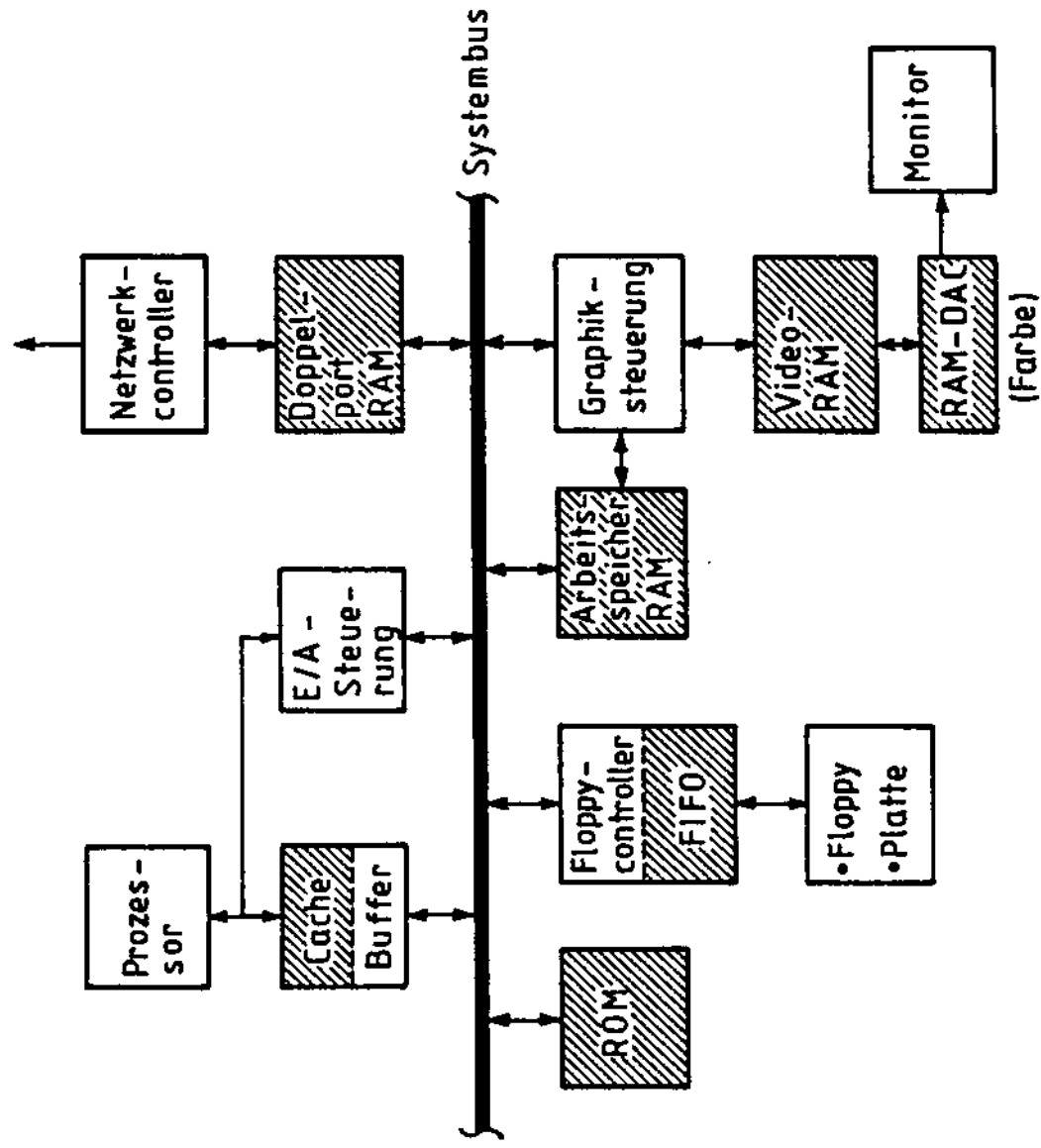


Bild
 Busorientiertes System
 als Beispiel des Spei-
 chereinsatzes

Speicherorganisation von Tabellenspeichern

• Adressierbare Speicher:

haben beliebigen (wahlfrei = random) Zugriff auf die abzuspeichernde Information, unter entspr. Adresse direkt erreichbar!
Realisierung als Matrixspeicher (RAM, ROM)

• Sp. mit sequentiellen (seriellem) Zugriff:

Informationen werden nacheinander eingespeichert, max. Nutzung der Speicherkapazität, aber Zugriffszeit abhängig vom Standort der Inf.

Realisierung als Schieberegister (früher), FIFO (als Ringspeicher mit 2 "Zeigern" die die Eingabe- bzw. Ausgabeadresse in einem RAM angeben. Auslesetakts unabhängig vom Einlesetakts - asynchroner Betr.) auch CCD - Ladungstransferspeicher...

• Adressfreie Speicher (Assoziativspeicher):

sind inhaltsadressierbare Speicher, Datensatz nicht unter zugeordneter Adresse, sondern durch Vergleich mit einem zugeführten Datenwort aufges. (CAM). Suchbegriff von außen und Speicherwort brauchen nur teilweise übereinstimmen

auch Stack (Stapel) Register (= LIFO-Prinzip) mit eigenem Adressengenerator (Stackpointer)

ev. auch Video-RAM (Bildwiederspeicher), wenn nicht als Dual-Port-RAM realisiert.

Speicherkapazität:

Anzahl der Speicherstellen in bit oder Byte angeg.

ZB: Angabe "728k x 8" sind 728k Speicherwörter zu je 8 bit Wortbreite

↙ Speicherkapazität 7 Mbit:

$$\underbrace{1024}_{7k=2^{10}} \times 728 \times 8 \text{ bit} = \underbrace{1048576}_{7M} \text{ bit}$$

Bem: $1M = 2^{20}$, $1G = 2^{30}$, $1T = 2^{40}$

Zugriffszeit, Zykluszeit:

nach Anlegen der Adresse und Auslesebefehl erforderl. Zeit bis zur Datenausgabe (auch "Adresszugriffszeit")

Zykluszeit: minimal zulässiges Zeitintervall zwischen 2 aufeinanderfolgenden Speicherzugriffen, deren Reziprokwert = Datenrate

für
statischen
RAM:

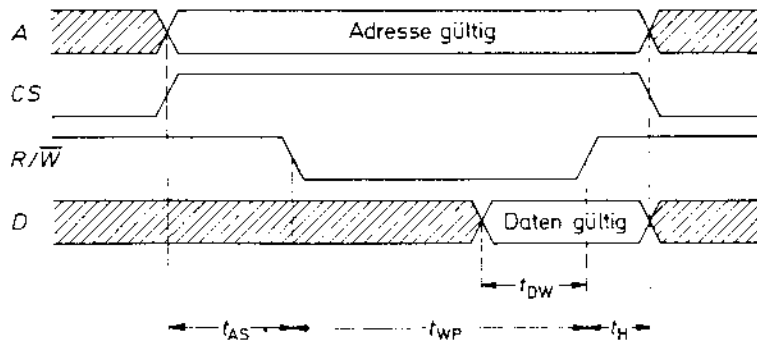


Abb. Zeitlicher Ablauf eines Schreibvorganges
 t_{AS} : Address Setup Time
 t_{WP} : Write Pulse Width
 t_{DW} : Data Valid to End of Write Time
 t_H : Hold Time

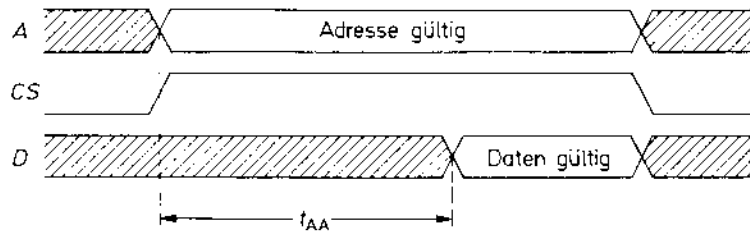


Abb. Zeitlicher Ablauf eines Lesevorganges
 t_{AA} : Address Access Time

Verhalten bei Versorgungsspannungs-Unterbrechung

Flüchtige Speicher verlieren die Information (Halbleiter-RAM)

Nichtflüchtige Sp. behalten die Inf. (ROM, Optische-/Magnet. Sp.)

hiervon → nicht löschbar: PROM (elektrisch programmierbar)
 MROM (Maskenprogrammiert)

→ löscher: EPROM (mit UV-Licht)

elektr. löschb.: EEPROM (Electrically Erasable PROM)

EAROM (Electrically Alterable ROM - ältere Bezeichnung)

NV RAM (Non Volatile = nicht flüchtig, EEPROM || SRAM)

BRAM (Batterie gestützt, 3V-Lithiumzelle)

Flash-(E)EPROM (elektr. löscher)

Übersicht:

Bem.: Speicherplatz - Bedarf

A4-Textseite 2 kByte = 16 kbit

Buch $2 \cdot 10^6 \dots 10^8$ bit

Studio-Audiosignal 10s Dauer $\times$ Frequenz 32 kHz $\times$ 2fach Abtastfrequ. $\times$ 16 bit Auflösung
 $= 70,24$ Mbit!

1 Fernsehbild $\frac{1}{25}$ s Dauer $\times$ 2 f_A $\times$ 8 bit Auflösung $\times$ 6,75 MHz Grenzfrequ.
 $= 4,32$ Mbit!

Schreib- / Lesespeicher : RAM (Random access memory)

Matrixstruktur $\rightarrow$ jede Speicherzelle ist adressierbar über

- eine Wortleitung -(Zeile) (Y)
- eine Bitleitung -(Spalte) (X)

Prinzipielle Organisation

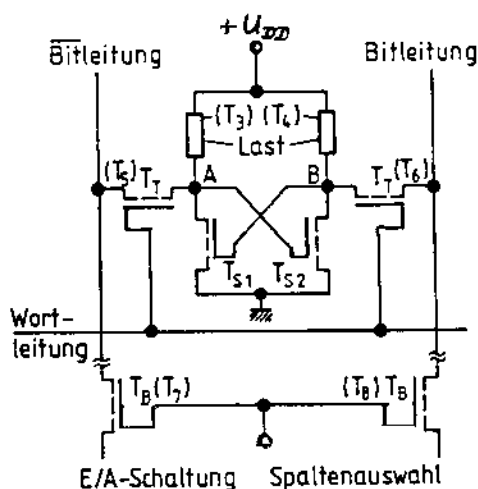
da 2^ny -Wort und 2^nx -Bitleitungen ex.

$\downarrow$ Speicherkapazität : $\left| 2^nx \cdot 2^ny \right|$ des bitorganisierten Sp.

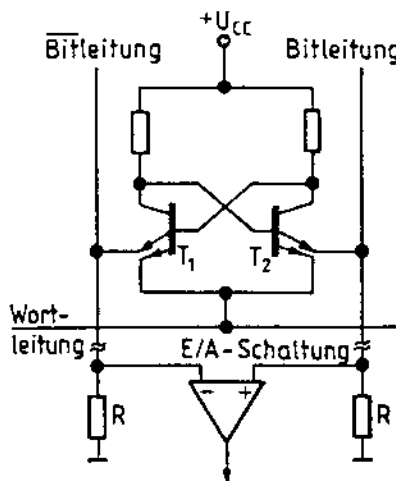
- Zeilen- u. Spaltendekoder minimieren die Zahl der Anschlusspins...
- Auch Teilung der Adressbits und sequentielle Eingabe beider Teile ist üblich (RAS-, CAS-Steuerung) $\downarrow$ 1Mbit-Speicher hat 18pol. Gehäuse
- Beim wortorganisierten Speicher erfolgt Adressierung mehrerer Speicherzellen entspr. der Wortbreite ! (8-, 16-, ... bit)
- CS (chip Select) bzw. CE (Chip Enable) ermgl. Multiplexbetrieb mehrerer Chips an einer gemeinsamen Datenltn.

Statische RAM : SRAM

Nutzung einfacher FF (Bipolar, nMOS, CMOS)
Grundstruktur der SRAM-Zelle:



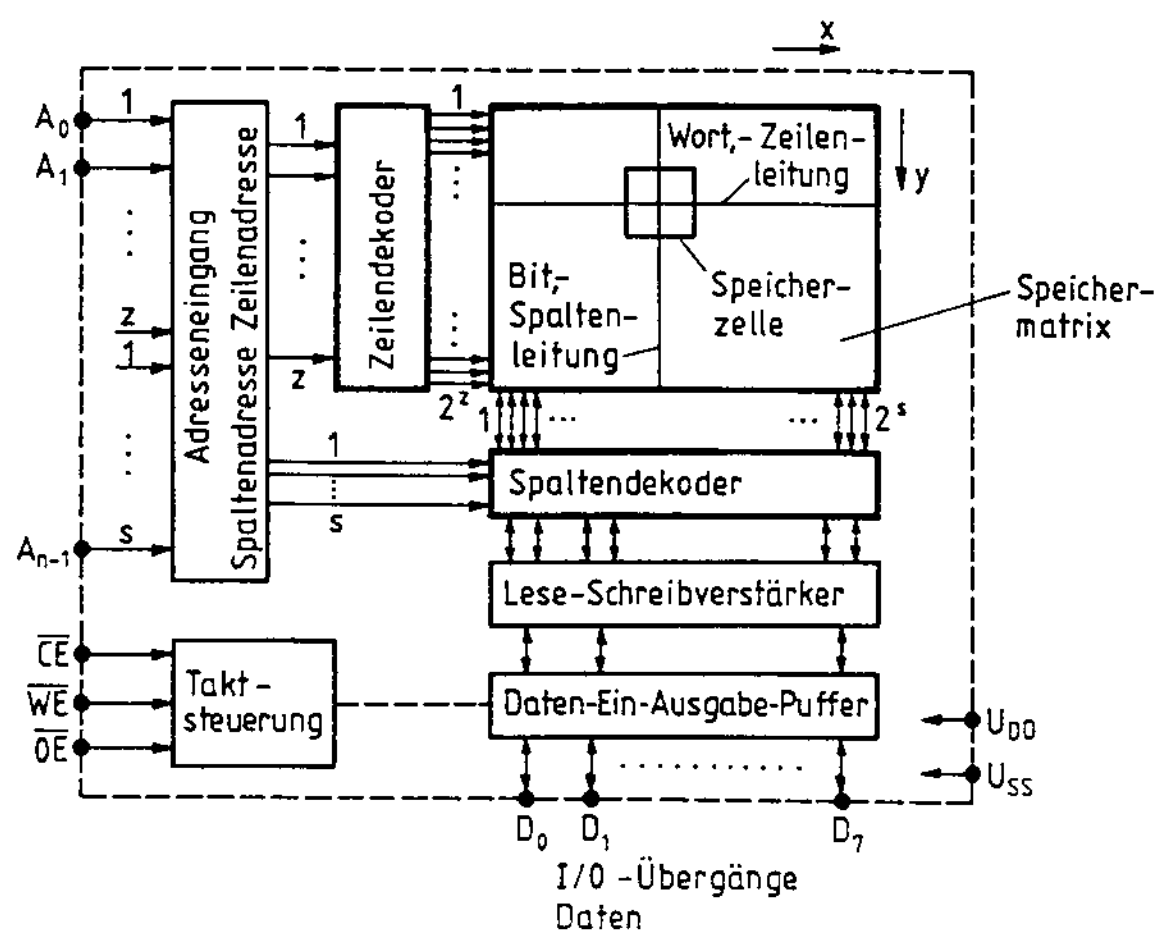
Basiszelle (MOS- bzw. CMOS-Technik)



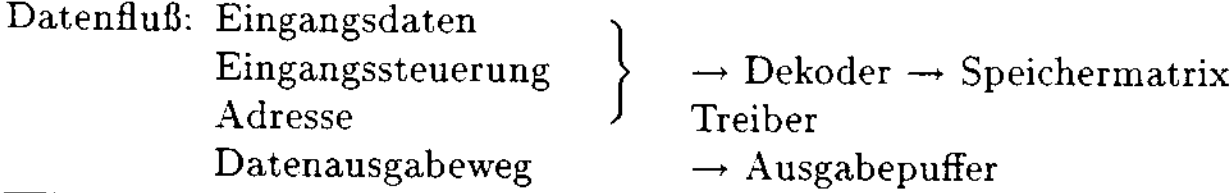
Bipolarzelle (TTL)

- MOS** Zugriffsschalter T_T durch Wortleitung gesteuert
- "L" $\hat{=}$ Speicherfunktion (T_T nichtleitend)
 - "H" $\hat{=}$ Schalter T_T geschlossen
 - $\downarrow$ A mit $\overline{\text{Bitleitg.}}$
B mit Bitleitg. } verbunden

Halbleiterspeicher



Prinzipielle Organisation eines RAM



- $\overline{CE}$ Chip-Enable: Chipauswahl
- $\overline{WE}$ Write-Enable: Lese-Schreib-Steuerung
- $\overline{OE}$ Output-Enable: Aktivierung Datenausgänge
- I/O Ein-/Ausgänge

Bidirektionale Nutzung der Bitleitungen durch

Schreibverstärker: niederohmiges Stellen / Rücksetzen der FF

leseverstärker: mit Differenzverstärker-Eingang
Bitleitungen hochohmig abgetastet

Auswahl der Bitleitung (Spalte) über Schaltertransistoren T_8 .

Bipolarzelle

2 rückgekoppelte Multiemitter-Transistoren

Speichern: Wortleitung auf "L" (bel. Speicherzust.)

Lesen: Wortleitung auf "H" } Emittterstrom des leitenden Transist. fließt in die entspr. Datenleitung

beide Bitltg. auf "L"

Schreiben: Wortleitung auf "H" } Die auf "L"-liegende Bitltg. erzeugt den leitenden Transistor (I_E fließt)

eine der Bitltg. auf "H"

! Die Bitleitungen (= Datenleitungen) werden zur Adressierung benutzt!

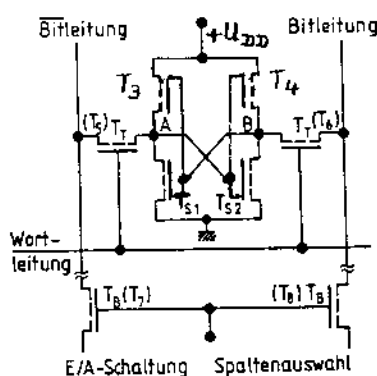
CMOS-Zelle

in CMOS-SRAM werden die Lastwiderstände durch pMOS-Anreicherungs-Transistoren ersetzt (T_3 und T_4)!

↘ 6 Transistoren / Zelle erforderlich

T_7 u. T_8 je Spalte nur einmal erforderlich!, d.h.:

! hier nur noch die linke Bitleitung zum Auslesen erforderl.
— " — die rechte Bitleitung zum Schreiben erf.



Lesen / Schreiben:

Wortleitung auf "H":

z.B.: Einschreiben: Bit auf "L" } bzw. T_{S7} sperrt

z.B.: lesen: Spannung an A (lese-ltg.) wird vom leseverstärker ausgewertet.

6 Transistor-
CMOS-Zelle

Erreichte techn. Daten für CMOS-SRAM:

kbit... 32 Mbit, 26 ns... 70 ns Zugriffszeiten ($\approx$ bis 400 Mbps)
 Verlustleistungen (stand by) einige μ W. ($P_v \uparrow$ mit f_{Takt})

In d. Regel: Dateneingang u. -ausgang intern verbunden (1 Pin/bit)
 Bidirektionaler Betrieb über Read/Write-Eingang
 Adressbits werden zeitmultiplex eingegeben (Pinanzahl $\downarrow$)

"Stand by"-Modus: Absenken der Betriebsspannung $\rightarrow P_v \downarrow$
 ohne Datenverlust, = "Sleep/Modus"

Größere Speichereinheiten ("Speichermodule")

werden aus kleineren IC's zusammengesetzt:

z.B.: 128 k x 8 SRAM $\approx$ 4 IC's 32 k x 8

dabei alle 8 bit Datenausgänge $\rightarrow$ die höchstwertigen 2 Adressbits bilden die
 und alle niederwertigen 15 bit Adresseing. $\rightarrow$ 4 CE (Chip Enable), werden aus
 und WE-Anschlüsse parallelgeschaltet Adressdekoder abgeleitet!

Schutz vor Datenverlust: Einbau einer Lithium-Hilfsbatterie
 (Batterie-KAM = BKAM)

Bei Ausfall der Versorgungsspannung: Umschalten auf "Datenspeicherungsmodus"
 mit deutlich reduzierten Strömen,
 z.B.: $P_v < 100 \mu$ W gegenüber einigen 100 mW!

SRAM's sind - schneller als DRAM's (f.f.)

- um Faktor 4 teurer als DRAM (mehr Trans. erforderlich.)

- um Faktor 4 kleiner in der Kapazität/Chip,

werden typischerweise für Caches angewendet,

hier schneller Blockweiser Datentransfer mit dem
 Prozessor (typ. 64 kByte für on-chip-Cache im PC)
 (= level 1-Cache)

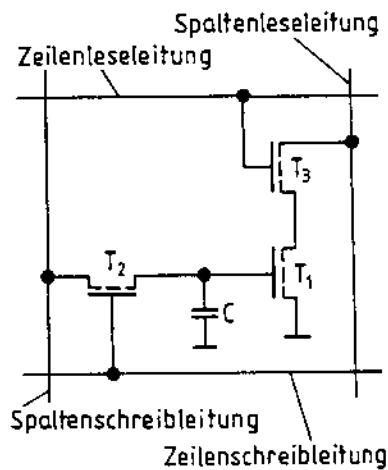
Dynamische RAM: DRAM

Speicherung der Information als Ladung in einem MOS-
 Kondensator ("Trench"-Kondensator - vertikal ins Substrat
 "Trichter" eingebaut).

ex. als: - 3-Transistor-Zelle (zerstörungsfreies Lesen mgl.)

- 1-Transistor-Zelle (mit erforderlicher Datenauffrischung!
 nach jedem Lesevorgang)

Vgl: gegenüber SRAM's 4-16 fache Speicherkapazität bei vergleichbarer
 Stromaufnahme und Kosten/bit heute realisierbar!



Dynamische Speicherzelle
3-Transistor-Zelle

3-Transistor-Zelle

Zelle liegt an je 2 Spalten- und Zeilenleitungen

Speichern: T_2 wird über Zeilenschreibleitung eingeschaltet und C auf Spannung der Spaltenschreibleitung aufgeladen.

Lesen: T_3 über Zeilenleseleitung eingeschaltet

hat C die Ladung "L" $\rightarrow T_1$ gesperrt und Spaltenleseleitung auf "H" (keine Änderung)

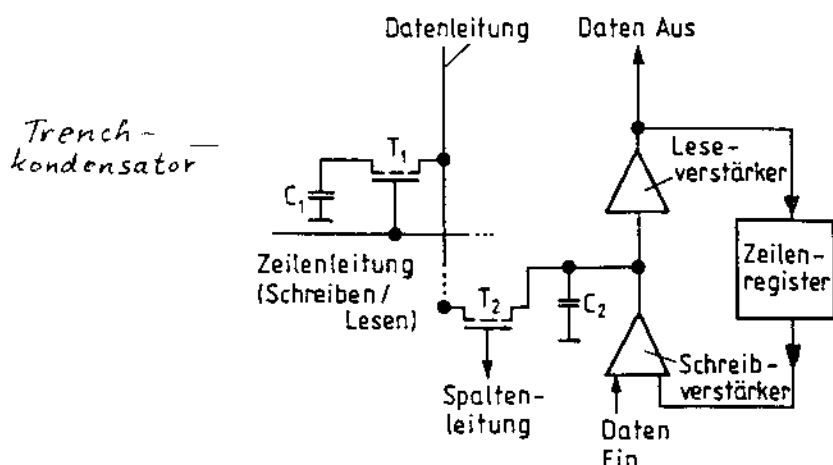
hat C die Ladung "H" $\rightarrow T_1$ eingeschaltet u. Spaltenleseleitung entlädt sich über T_1 u. T_3 (Spannungsänderung wird vom Leserverstärker erkannt)

Der Lesevorgang erfolgt zerstörungsfrei, da U_c über den MOS-Inverter ausgekoppelt wird - kein Entladestrom über Gate(T_1)

Bem: Ist fast vollständig von der 1-Transistorzelle verdrängt worden!

1-Transistor-Zelle

Besteht aus Speicherkond. C_1 und Schaltertransistor T_1
(pro Spalte ist nur ein T_2 erforderlich)



Zellflächen:

bei 64 Mbit: $7,5 \mu\text{m}^2$

256 Mbit: $0,7 \mu\text{m}^2$

jeweils 200 mm^2 Chipfläche

Dynamische Speicherzelle
Ein-Transistor-Zelle

Speichern:

T_1 u. T_2 leitend

Signal gelangt vom Dateneingang über einen Schreibverstärker auf $C_1 \approx 30 \text{ fF}$

Lesen:

T_1 u. T_2 leitend

Ladungsausgleich der Ladung von C_1 auf C_2 , der vorher ungeladen war (dies sind Leitungs Kapazitäten und C_{in} der MOSFET's)

Wegen $C_2 \approx 10 \cdot C_1$ liegt die Spannung an C_2 bei einigen mV

Der Leseverstärker ist ein Schwellwertschalter höchster Präzision und entscheidet auf "1" für $U_{C2} > U_{th}$ (u. umgekehrt)

- Da C_1 beim Lesevorgang fast vollständig entladen wurde, wird über ein Zeilenregister (Kurzzeitspeicherung der ausgelesenen Daten) nach jedem Lesevorgang eine Daten-auffrischung erforderlich!
- Weiterhin Refresh-Elektronik zum Nachladen der C_1 aller Speicherzellen des Speichers (infolge Entladung über den Aus-Widerstand R_{Doff} der jeweiligen MOSFET's T_1) erforderlich!

dies entweder - extern (dynamischer RAM-Controller)
oder - intern auf dem Chip (sog. pseudostatische RAM, PSRAM)

Verschiedene Refresharten (Prioritätensteuerung) mgl.

Refresh $\approx$ alle 1...8 ms je Zelle erforderlich

In Konfliktsituationen zwischen Speicherbetrieb und Refresh-Anforderung entscheidet ein "Refr. - Normal-Arbiter."

Da kein Datenzugriff während Refresh-Vorgang möglich ist

↓ DRAM's sind langsamer als SRAM's

z.B. 256 Mbit verfügbar (128 Mbit) } DIMM: 8 Chips zu 256 Mbit
als Arbeitsspeicher im
PC verwendet (256 MByte)

Zugriffszeiten: typ. 10...20 ns

Neu: DDR-SDRAM (Double Data Rate Synchronous DRAM):
aktiviert Datenausgabe bei 1- und 2-Taktflanke ↓ 400 Mbps mgl.
ex. DIMM's (Speicherkarten) bis 512 MByte für Pentium 4
(733 MHz-Bus) Bem: SDRAM $\hat{=}$ 2 synchron betriebene Speicher-
bereiche, die wechselseitig angesprochen werden

t_{RD} bis 2,5 ns!

Festwertspeicher

- sind Speicher zur Aufbewahrung von unveränderlichen - oder nur selten zu verändernden Daten
- Daten werden meist nur 1mal eingeschrieben, aber häufig gelesen
- sind nicht-flüchtige Speicher

Anwendung: feste Dateien (Zeichengeneratoren)
Codumsetzer, Multiplexer
Mikroprogramm Speicher

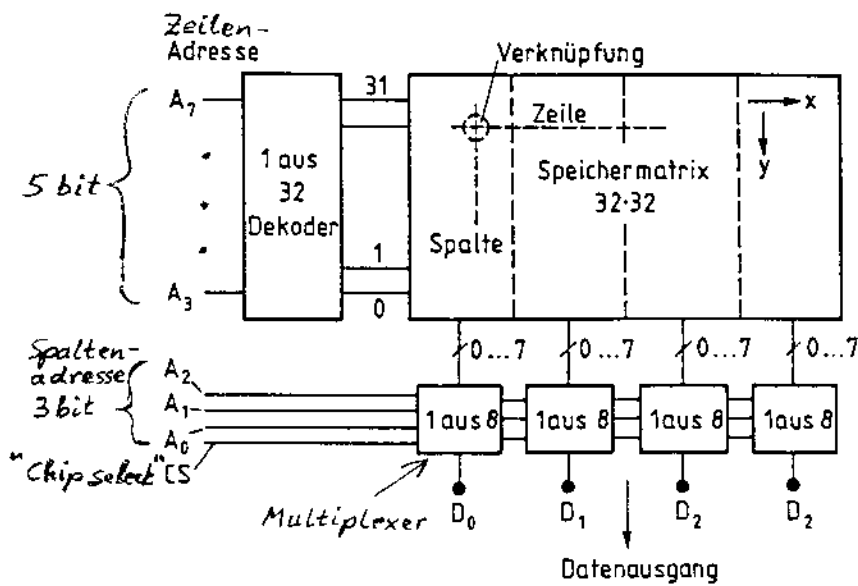
Organisation des Speicherzugriffs: wie beim RAM...

Allg. Ziel ist eine quadratische Form des Speicherfeldes:
zur Chipflächensparnis / Optimierung des Leiterbahn-Layouts

(ZB:) $256 \times 4 \text{ bit ROM} = 1 \text{ kbit ROM}$

ungünstig: für 8 bit Adressbreite und 4 bit Wortbreite
entstehen 256 Zeilen- und 4 Spaltenleitungen

deshalb: Wahl einer $32 \times 32 \text{ bit-Matrix}$, die in
4 Blöcke zu je 8 Spaltenleitungen unterteilt wird.



für 256 x 4 bit ROM:
optimale
32 x 32 bit - Matrix
unterteilt in:
4 Blöcke zu jeweils
8 Spaltenleitungen

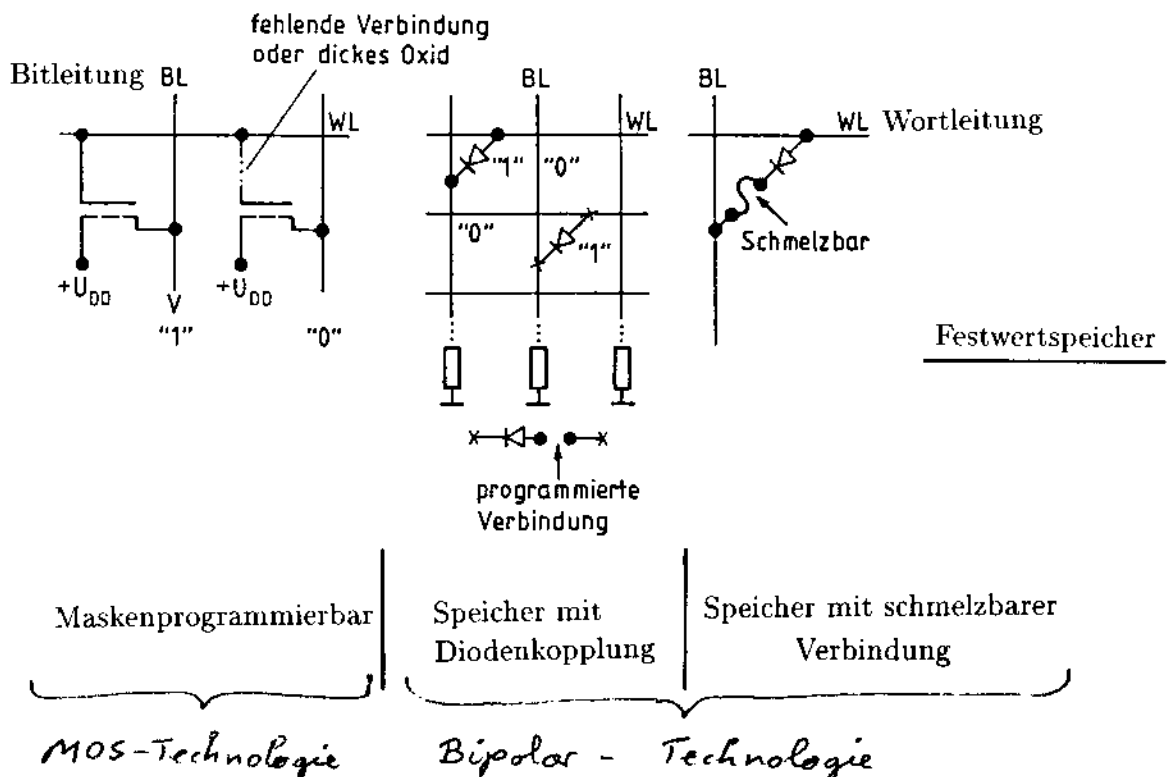
Speicheranordnung mit möglichst quadratischer Matrix

! Koinzidenzadressierung: Wort- und Bitleitung gleichzeitig adressieren Zelle.
8 bit Adresse $A_0 \dots A_7$ wird in 3 bit Spaltenadresse $A_0 \dots A_2$
und in 5 bit Zeilenadresse $A_3 \dots A_7$
unterteilt. Über die 4 Multiplexer (TS-Ausg. über "CS" aktiviert)
sind die 4 Ausgangsleitungen auf einen (bidirektionalen) Bus schaltbar.

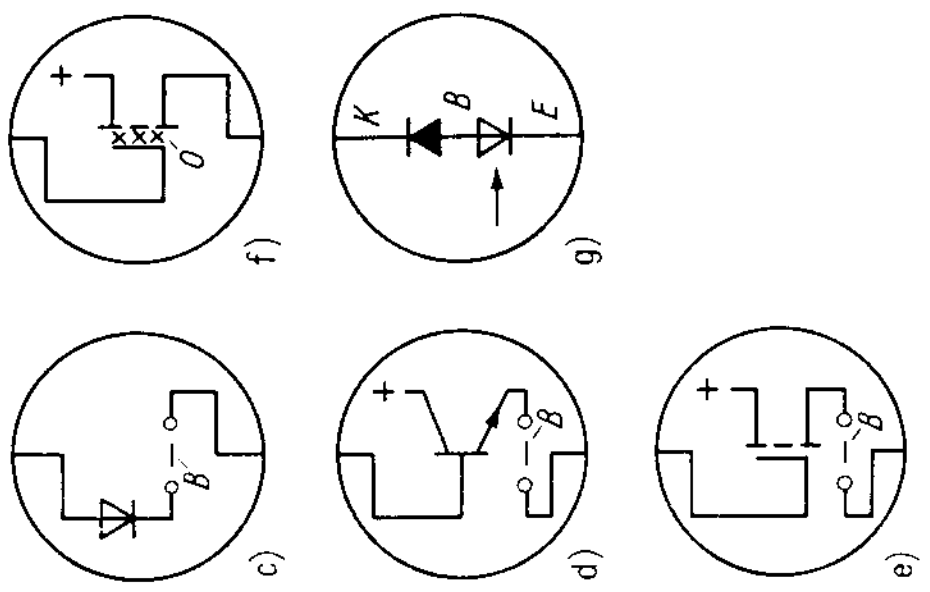
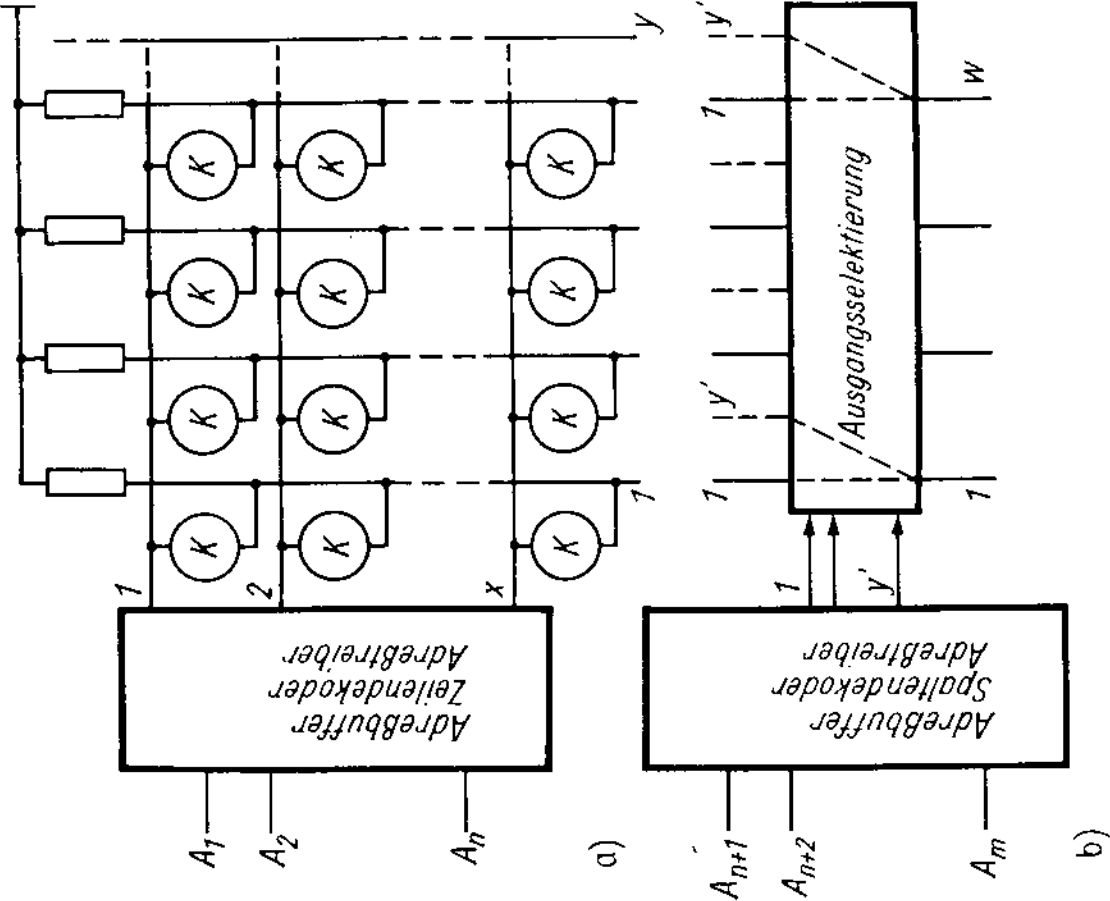
Maskenprogrammierbare ROM

= Read-only memory

Der Hersteller legt mit Masken (Zyklus 2) die Ver-
knüpfungspunkte zwischen Bit-Leitung und Wort-Leitung
fest (Koppellemente sind MOSFET, Dioden oder BPTs.)
Ist das Koppellement aktiviert $\downarrow$ mit $WL = "H"$ ist auch entspr. $BL = "H"$



Maskenprogrammierung durch den Halbleiterhersteller



a) Speichermatrix; b) Ausgangsselektierung durch Spaltendekoder; c) Diode als Koppellement; d) und g) Bipolartransistor als Koppellement; e) und f) Unipolartransistor als Koppellement

MOS-Technol.

Maske entscheidet über Dicke des Gate-Oxids / Gate-Elektrode:

keine Verbindung: entweder dickes Gate-Oxid ($1\mu\text{m}$)
 $\rightarrow$ hohe Schwellspannung $\rightarrow$ FET "Aus"

oder:

Weglassen der Gate-Elektrode

Verbindung vorhanden: entweder dünnes Gate-Oxid (10nm)

$\rightarrow$ niedrige Schwellsp. $\rightarrow$ FET "Ein"-
 schaltbar, wenn $WL = "H"$

oder:

Gate-Elektrode ausgeführt

$\rightarrow$ FET ist "Einschaltbar", wenn
 $WL = "H"$

Bem: auch "2-dimensionale" Maskenprogrammierung
 ausführbar: 2 in Reihe geschaltete FET's werden
 mit den Gates an die x- bzw. y-Adressleitung
 gelegt.

Bipolar-T.

Koppellemente sind hier - Dioden mit / ohne el. Verbindung
 (maskenprogrammierbar) in Reihe zur Diode

- Bipolartransistoren mit / ohne
 Basisanschluss (maskenprogrammierbar)

Bipolare ROM erreichen nur bis zu 728 kbit Speicherkapaz.

MOS-ROM - " - dagegen - " - 16 Mbit !

(Begrenzung entsteht durch stat. Verlustleistung / Chipfläche)

Programmierbare ROM: PROM

sind einmalig elektrisch programmierbare Festwertspeicher

Der Anwender kann durch Programmierimpulse die
 Verbindungen zwischen Wort- und Bit-Leitung in der
 Speichermatrix a.) unterbrechen bzw. b.) schließen:

a.) Schmelzbare Verbindungen: in Reihe zu $-V_{DD}$, die
 (fusible links) bei Überstrom "durchbrennen"

b.) Kurzschlußverbindungen: der Emittor-Basis-Übergang
 (Anti fuses) eines BPTs. wird durch
 Überstrom thermisch "durchgegraben",
 damit sehr niederohmig

Programmierung erfordert spezielles Programmiergerät, relativ langsam, ca. 1 bit/ms $\rightarrow$ Programmierzeit einige Minuten.

Technologie: i.d.R. wegen hoher erf. Programmierströme nur Bipolartechnologie, bis 128 kbit ($8 \text{ k} \times 16$)
 P_v ca. 500 mW ; Zugr.zeit $15 \dots 40 \text{ ns}$

Bem: "MOS-PROM's"

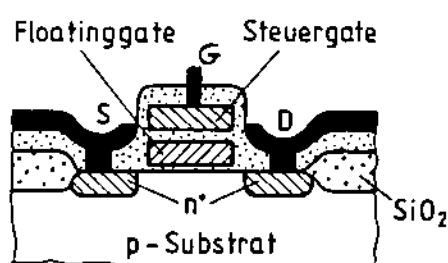
sind EPROM-IC's die kein Quarzfenster zur UV-Licht-Löschung besitzen!

Damit sind sie zwar elektrisch programmierbar, aber nicht löschbar

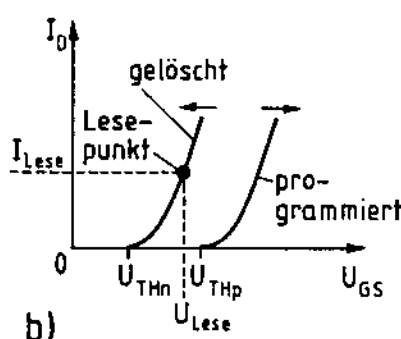
Wirtschaftlich sinnvoll durch Verzicht auf Masken-Programmierung!

Elektrisch programmierbare, UV-löschbare ROM: EPROM (Erasable Programmable ROM)

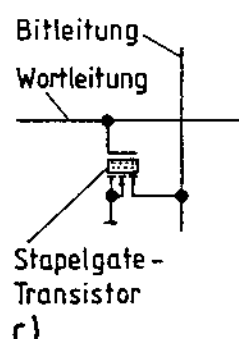
Sind unprogrammierbare PROM's (reversibel programmierbar), die durch energiereiches UV-Licht insgesamt gelöscht werden können (ca. $15 \dots 20 \text{ min}$ Bestrahlung durch Quarzglasfenster)



a)



b)



c)

EPROM-Speicherzelle

a) Aufbau des Floating-Gate-MOSFET

b) Transferkennlinie vor und nach dem Programmieren

c) Einbau des Transistors in die Speichermatrix

Koppelement zwischen Bit- und Wortleitung ist der speichernde Schwebegate-MOSFET
 = FAMOS-Transistor (floating Gate - MOS)

hat zusätzlich zum MOSFET noch ein "Schwebegate" zwischen Kanal und Gate (Stapelgate-Struktur)

(floating gate $\hat{=}$ vollständig isoliert von Gateoxid umgeben - wirkt als Ladungsspeicher!)

Programmieren:

Beim Anlegen einer Programmiervspannung $U_{PG} \approx +10 \dots 25V$ an das Steuergate (jetzt "Programmiersgate") erfolgt im Drainbereich ein Tunnelvorgang von e^- aus dem Kanalber. S,D in das floating Gate durch die dünne Isolierschicht (10 nm) hindurch ($U_{SD} = 0!$). Hierbei ist $\lambda_{oxid} \approx 1 e^-$ -Wellenlänge (W_{oxid})

↓ e^- laden das floating Gate negativ auf und bleiben dort gespeichert! (umgeb. Isolator)

Diese neg. Ladung wirkt der Kanalbildung $\hat{=}$ n-Influenzierung entgegen, die Schwellspannung U_t des FAMOS vergrößert sich auf den Wert U_{tHP} , die oberhalb der Lesespannung der Wortleitung (Gate-Anschluss) liegt.

↓ FAMOS ist auf Dauer in den gesperrten Zustand versetzt! (U_{tHP} wird durch U_{lese} nicht erreicht)

Löschen: durch UV-Licht wird die Energie der gespeicherten e^- soweit erhöht, dass sie zurücktunneln können.
(UV-Lampe ≤ 20 min), dabei Schädigung des Gate-Oxids

Nachteile: - Notwendiges Entfernen aus der Schaltung zum Löschen / Programmieren (Steck-Fassungen)
- Spezielle Programmiergeräte erf. (Pr.-dauer ≈ 50 ms)

Anwendung: - Systeme mit kleinen Stückzahlen
- Entwicklungsphase von Geräten
- für: Programmspeicher von Microcontrollern
Mikroprogrammspeicher (Tabellen, Codenummern)
Ersatz von Schaltnetzen

Erreichte techn. Daten

8 Mbit: $1M \times 8$ (32 pins), $512k \times 16$ (42 pins), CMOS
 Programmierdauer: 50 ms/Byte (früher) / Intelligente Program.: 1 ms/Byte $\times 1 \dots 24$
 hierbei 1...24 Einzelprogrammierschritte mit sofortigem Test auf erfolgreiche Ausführung. Ist beim 24. Durchlauf keine Progr. erfolgt $\rightarrow$ "Defekt".
 $t_d = 20$ ns ... 150 ns (250 ns) Zugriffszeit; Verlustleistung $P_v \approx 100 \dots 400$ mW

nur < 1000 Löschi-/Programmierzyklen ausführbar!

ca. 10 Jahre Datenerhalt (abgedunkeltes Quarzglasfenster, sonst nur wenige Wochen!)

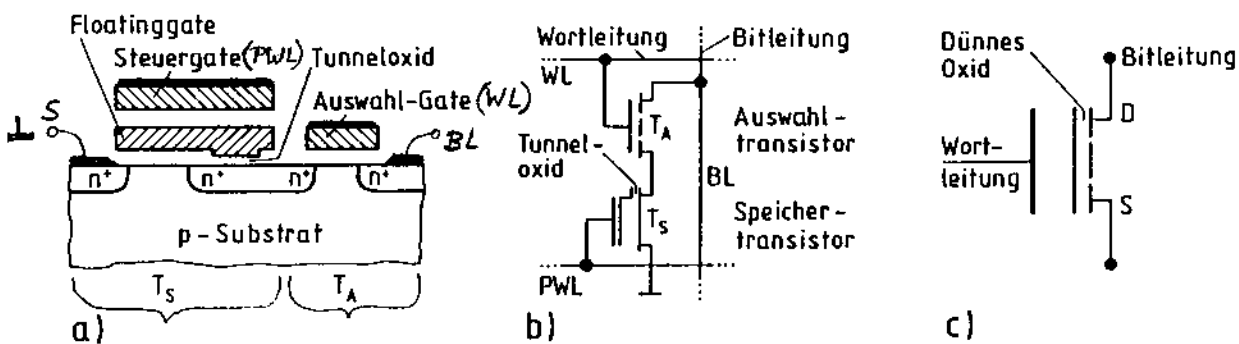
Bem: z.zt. Programmierdauer 100 μ s/Byte $\rightarrow$ Gesamtprogr.dauer für 1 Mbit ≈ 1 min!

Elektrisch löschbare ROM: EEPROM

= Electrically Eraseable PROM

werden vom Anwender programmiert,
können in der Schaltung zeilenweise gelöscht werden.

Als Koppellement zwischen Wort- und Bitleitung wird ein FLOTOX-MOSFET in Reihe zu einem Auswahltransistor eingesetzt:



EEPROM-FLOTOX-Speicherzelle

a) Aufbau des Transistors (EEPROM-Zelle)

b) Ersatzschaltbild

c) Flash-(E)EPROM-Zelle

Unterschied zum FAMOS besteht im extrem dünnen Tunneloxid-Bereich vor dem Draingebiet.

Programmieren:

$$U_{GS} \approx +15V \quad \text{bei } U_{DS} = 0$$

e^- durchtunneln das Tunneloxid zum Floating Gate $\rightarrow$ negativ aufgeladen

$\downarrow$ Vergrößerung der Schwellspannung U_t des FLOTOX-FET (wie beim FAMOS)

Löschen:

$$U_{GS} = 0 \quad \text{mit } U_{DS} \geq +15V$$

(! umgekehrte Polung Gate-Kanal)

e^- tunneln aus Floating Gate zum Kanal zurück ($\equiv$ Entladung)

$\downarrow$ Schwellspannung wieder auf niedrigen Anfangswert U_{tHN}

Anzahl der Löschen-/Programmierzyklen auf $10^4 \dots 10^6$ begrenzt da jeweils Schädigung des Tunneloxids auftritt.
(deutlich belastbarer als EPROM!)

Halbleiterspeicher

	RAM	ROM			
		MROM	PROM	EPROM	EEPROM
<u>Schreiben</u>					
Anzahl	beliebig	1mal	1mal	... 100mal	10 ⁴ ...10 ⁵ mal
Zeit	10...200 ns	Monate *	Minuten	Minuten	Millisekunden
<u>Lesen</u>					
Anzahl	beliebig	beliebig	beliebig	beliebig	beliebig
Zeit	10...200 ns	ca. 100 ns	10...300 ns	30...300 ns	30...300 ns

Vergleich von RAMs und ROMs bezüglich ihres Schreib- und Leseverhaltens

* Maskenentwicklung beim Hersteller !